Downloaded from jame.iut.ac.ir at 17:10 IRDT on Wednesday September 20th 2017

بررسی و شبیه‌سازی روشهای ZVS[1] در مبدلهای تمام پل و ساخت یک نمونه در توان ۳kw

حسین فرزانه‌فرد*، سیدرضا مطهری** و محمدمهدی توسل***
پژوهشکدهٔ برق و کامپیوتر، دانشگاه صنعتی اصفهان

(دریافت مقاله: ۸۱/۹/۲۵ – دریافت نسخه نهایی: ۸۲/۷/۱)

چکیده – یکی از مشکلات مبدلهای سوییچینگ PWM تلفات بالای کلیدزنی و تداخل الکترومغناطیسی به علت سوییچینگ در ولتاژ و جریان غیر صفر است که فرکانس عملکرد را محدود می‌کند. به منظور کاهش حجم و وزن مبدل (با افزایش‌فرکانس) و کاهش تلفات کلیدزنی روشهای کلیدزنی در ولتاژ و یا جریان صفر پیشنهاد می‌شود. در این مقاله چهار روش‌اصلی کلیدزنی در ولتاژ صفر(ZVS) در مبدلهای پل معرفی و مقایسه شده‌اند. این چهار روش از لحاظ زمانهای سکون[2] مورد نیاز حصول ZVS کلیدها، محدوده بار تحت ZVS ، انرژی گردشی در دیودهای ضد موازی در پریودهای هرزگرد ونوسانات جانبی روی دیودهای ثانویه با هم مقایسه شده‌اند. در پایان نتایج عملی یک نمونه مبدل پل ZVS در توان 3kw باکلمپ نوسانات جانبی یکسوکننده مورد بحث و بررسی قرار گرفته است.

واژگان کلیدی : مبدل توان بالا، مبدل سوییچینگ PWM ، کلیدزنی در ولتاژ صفر (ZVS) ، روشهای ZVS

Analysis and Simulation of ZVS Methods in Full Bridge Converters and Realization of a 3 KW Prototype

H. Farzanehfard, S. R. Motahari and, M. M. Tavasoulkhamseh
Department of Electrical and Computer Engineering Research Center, Isfahan University of Technology

Abstract: *One of the difficulties with PWM switching converters is high switching loss and electromagnetic interference due to switching at non-zero voltage and current, which limits the operating frequency. In order to reduce the converter volume and weight (by increasing the frequency) and reducing switching losses, zero voltage and current switching methods are recommended. In this paper, four main zero voltage switching (ZVS) methods in full bridge converters are introduced and compared. These four methods are compared on dead times required to obtain the ZVS, load range at ZVS condition, circulating energy in the switch anti parallel diodes during freewheeling periods and voltage oscillations on rectifying diodes. Finally, the results of a 3 KW prototype full bridge ZVS converter with a clamp circuit for rectifier diodes oscillations are presented and analyzed.*

Keywords: *High power converter, PWM switching converter, Zero voltage switching (ZVS), ZVS methods*

---

* – استادیار ** – مربی *** – دانشجوی کارشناسی ارشد

Downloaded from jame.iut.ac.ir at 17:10 IRDT on Wednesday September 20th 2017

فهرست علائم

C_{mos}	خازن خروجی مسفت	I_p	کمترین مقدار پیک جریان خروجی
C_{TR}	خازن سیم‌پیچی ترانس	L_{lk}	سلف نشتی در اولیه
E_{circ}	انرژی گردشی	L_m	سلف مغناطیس کننده
E_{min}	کمترین مقدار انرژی مورد نیاز ZVS	N	نسبت دور ترانس
I_2	جریان اولیه در لحظه خاموشی کلید پسفاز[۳]	ZVS	سوییچینگ در ولتاژ صفر
I_m	جریان سلف مغناطیس کننده	τ_1	زمان سکون مورد نیاز کلیدهای پیشفاز[٤]

۱- مقدمه

اخیرا توپولوژیهای متفاوتی برای مبدلهای توان و ولتاژ بالا، با کاهش تلفات سوییچینگ پیشنهاد شده است. در این‌میان مبدلهای تمام پل ZVS با کنترل PWM (ZVS-FB-PWM) به‌طور وسیع مورد استفاده قرار می‌گیرند. این مبدلها که‌توسط تکنیکPWM شیفت فاز یافته کنترل می‌شوند از المانهای پارازیتی مدار شامل سلف نشتی ترانسفورمر و خازن پیوند سوییچها استفاده می‌کند تا شرایط ZVS را برای سوییچهای فعال فراهم کنند. این مبدلها مزایای سادگی کنترل PWM و مشخصه‌های سوییچینگ نرم مبدلهای رزنانس را دارا هستند در حالی که معایب اصلی مبدل‌های رزنانسی را ندارند. تلفات سوییچینگ در این مبدلها به شدت کاهش می‌یابد بدون اینکه تلفات هدایتی عمده‌ای ایجاد شود. به علاوه به علت ثابت بودن فرکانس می‌توان طراحی بهینه فیلتر را انجام داد. اما این مبدلها دارای معایبی از قبیل افزایش تلفات هدایتی، استرس جریان و ولتاژ سوییچها، نوسانات پارازیتی دایودهای یکسوکننده و محدودیت تغییر بار هستند که با استفاده از روشهایی می‌توان این معایب و محدودیتها را نیز کاهش داد [۱- ٤].

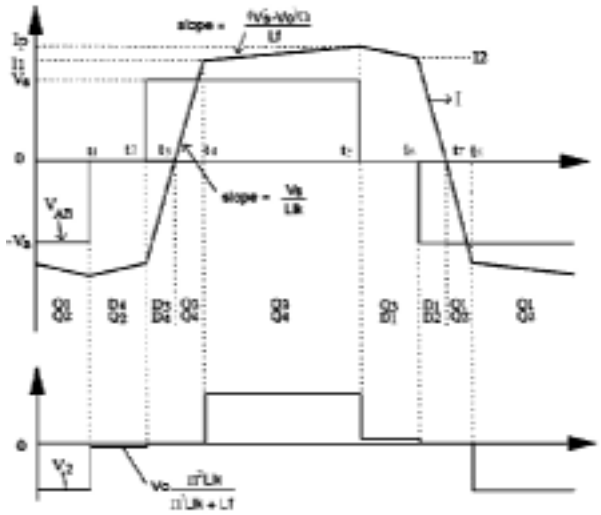
در این مقاله چهار روش اصلی کلیدزنی در ولتاژ صفر مبدل تمام پل با استفاده از سلف نشتی ترانس[۱]، سلف رزنانس خطی[٥]، سلف رزنانس قابل اشباع در اولیه ترانس [٦] و سلف مغناطیس کنندگی [۷] که به اختصار و به ترتیب به روشهای C, B, A و D نام گرفته‌اند با یکدیگر مقایسه شده‌اند. شکلهای (۱، ۲ و ۳) شمای کلی این روشها را نشان می‌دهند. (شمای کلی روش B مشابه A است). اساس حصول شرایط ZVS در این مبدلها بدین صورت است که انرژی‌ذخیره شده در هر یک از سلفهای مذکور، دیودهای ضد موازی کلیدها را پیش از اعمال سیگنال گیت به سوییچ آنها روشن‌می‌کند و در نتیجه روشنی کلید در ولتاژ تقریبا صفر صورت می‌گیرد.

چگونگی حصول شرایط ZVS در بارهای مختلف در هر چهار روش فوق مطرح و با نتایج حاصل از شبیه‌سازی دربخش اول مقایسه می‌شود. در بخش بعد این چهار روش از لحاظ زمانهای سکون مورد نیاز حصول ZVS کلیدهای پیشفاز (کلیدهایی که زودتر خاموش می‌شوند) و کلیدهای پسفاز (کلیدهایی که دیرتر خاموش می‌شوند)، محدوده بارتحتZVS ، انرژی گردش کننده در دیودهای ضدموازی در پریودهای هرزگرد و نوسانات جانبی روی دیودهای ثانویه وتلفات سوییچینگ توسط نتایج شبیه‌سازی روشها با هم مقایسه می‌شوند در بخش نهایی نتایج عملی یک مبدل تمام پلPWM با کلیدزنی در ولتاژ صفر با استفاده از سلف نشتی اولیه ترانس در توان 3KW و با کلمپ نوسانات جانبی یکسوکننده مطرح می‌شود.

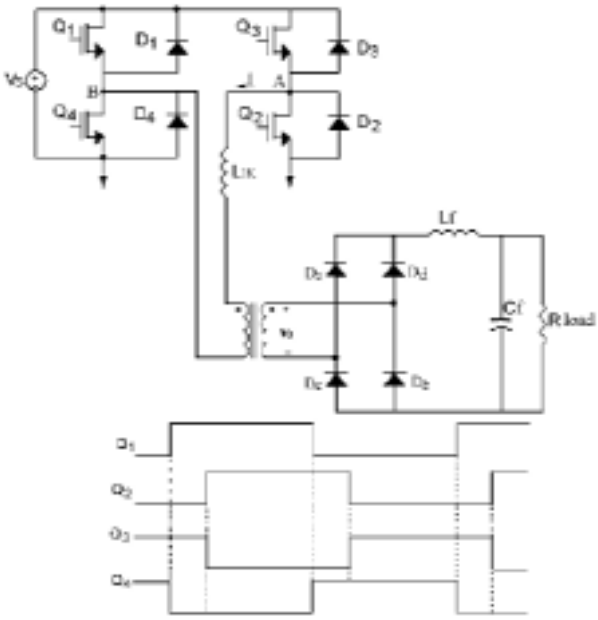
۲ـ معرفی روشهای اصلی کلیدزنی در ولتاژ صفر مبدل تمام پل PWM

شکل (۱) شمای کلی مبدل تمام پل PWM، با استفاده از سلف نشتی ترانس (روش A) و شکل موجهای ولتاژ و جریان اولیه ترانس و شکل (٤) نتایج شبیه‌سازی ولتاژ و جریان اولیه و ولتاژ

Downloaded from jame.iut.ac.ir at 17:10 IRDT on Wednesday September 20th 2017

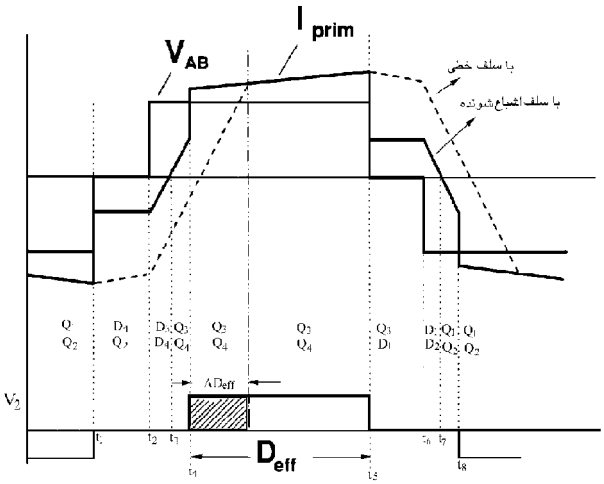


(ب)

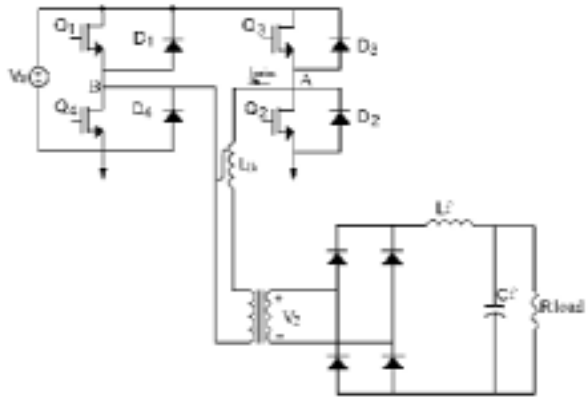


(الف)

شکل ۱- الف- مبدل پل ZVS با سلف نشتی ترانس ب- شکل موجهای آن (روشهای A و B)



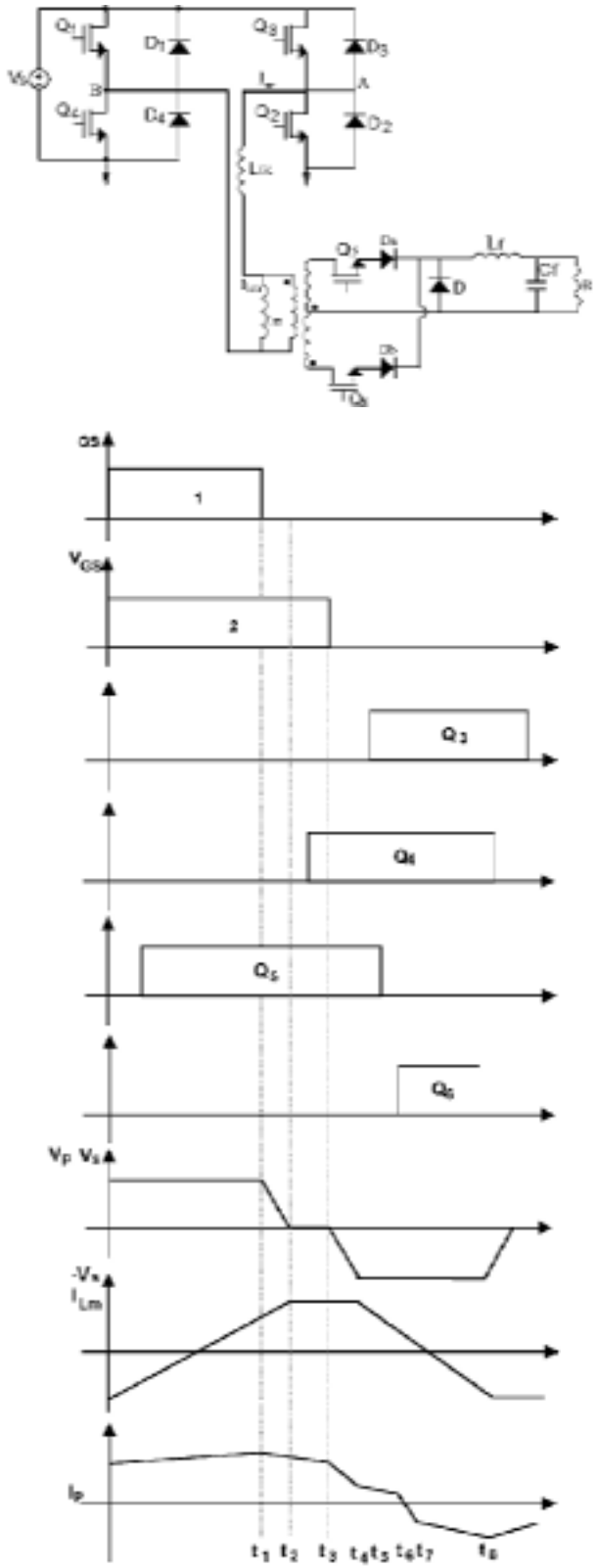
(ب)



(الف)

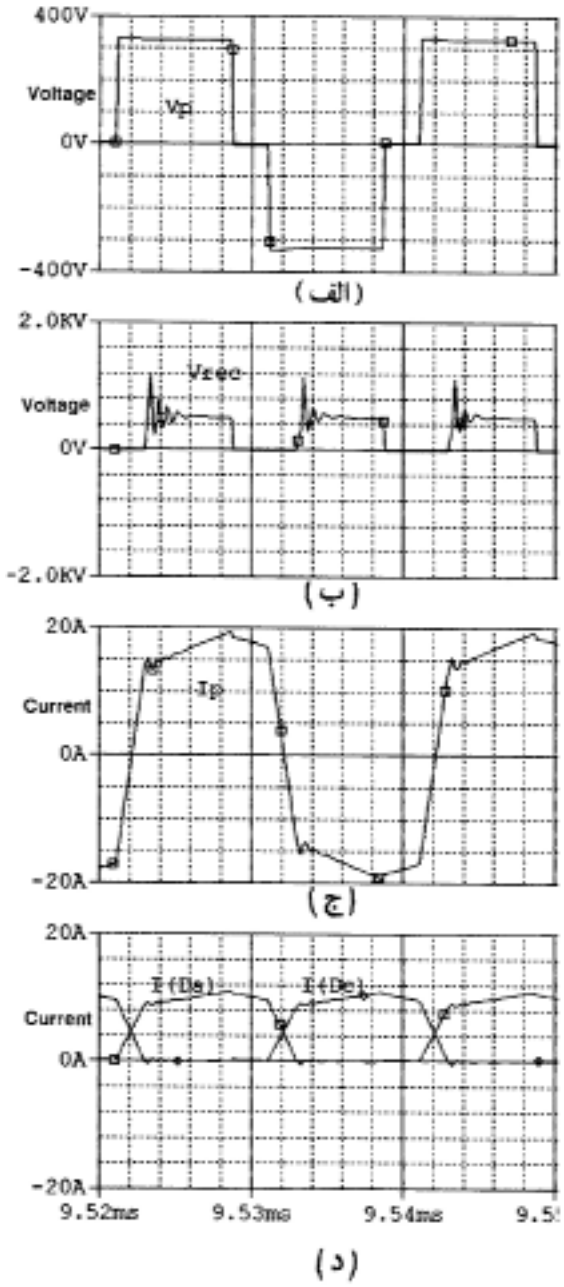
شکل ۲- الف- مبدل ZVS با سلف قابل اشباع ب- شکل موجهای آن (روش C)

Downloaded from jame.iut.ac.ir at 17:10 IRDT on Wednesday September 20th 2017

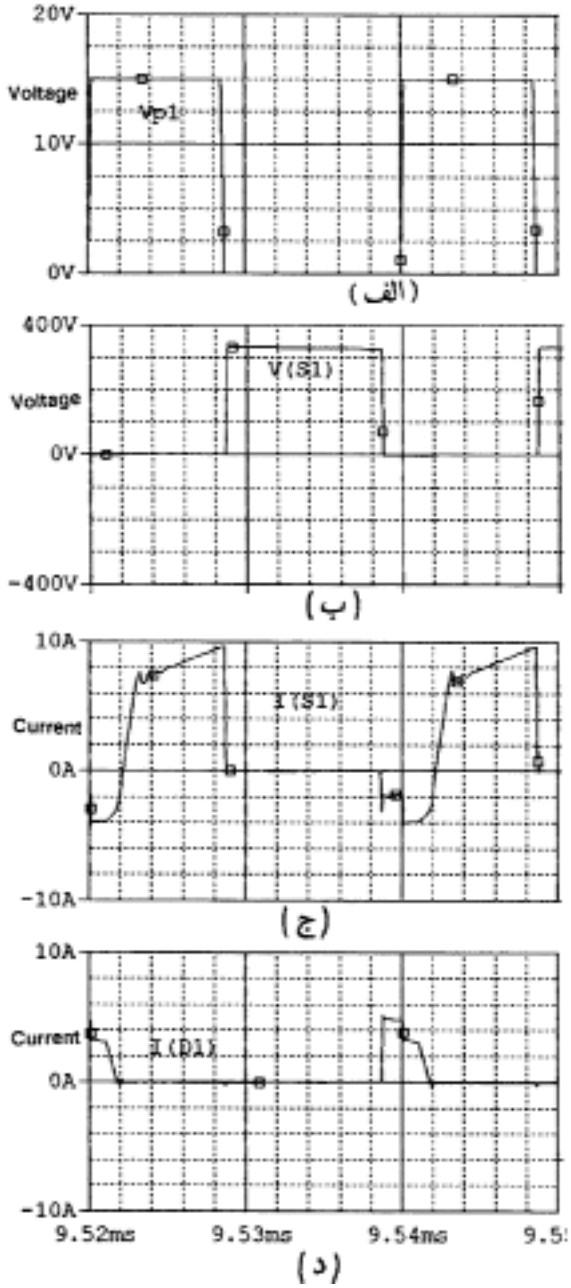


شکل ۳- مبدل پل ZVS با سلف مغناطیس کنندگی و شکل موجهای آن (روش D)

Downloaded from jame.iut.ac.ir at 17:10 IRDT on Wednesday September 20th 2017



شکل ٤- شکل موجهای مبدل ZVS با سلف نشتی، الف- ولتاژ اولیه ب- ولتاژ ثانویه، ج- جریان اولیه، د- جریان یکسوکننده



شکل ٥- شکل موجهای شاخه پیش فاز مبدل ZVS با سلف نشتی الف- پالس درایو گیت سورس، ب- ولتاژ درین دیودهای سورس ج- جریان کلید پیشفاز د- جریان دیود موازی معکوس کلید

ثانویه یکسوشده (همراه با نوسانات شدید) را نشان می‌دهد. سیگنالهای گیت این مبدل همانند مبدل تمام پل با کلیدزنی سخت است، با این تفاوت که به جای روشنی همزمان کلیدهای یال مخالف، بین کلیدهای یال راست و یال چپ شیفت فازی وجود دارد که ضریب وظیفه[٥] (d) مبدل و به عبارتی پهنای پالسهای ایجاد شده روی اولیه ترانس را تعیین می‌کند. نحوه حصول شرایط ZVS به شرح زیر است.

شرایط اولیه کار مدار: کلیدهای Q2 و Q1 خاموش و

Downloaded from jame.iut.ac.ir at 17:10 IRDT on Wednesday September 20th 2017

کلیدهای Q4 و Q3 روشن هستند.

با خاموشی کلیدQ4 (کلید پیشفاز)، جریان اولیه خازن خروجیQ4 را شارژ و خازن خروجی Q1 را دشارژ می‌کند و پس از آن دیود D1 روشن می‌شود. با روشنی D1 ، Q1 می‌تواند در ولتاژ صفر روشن شود. در این حالت جریان‌اولیه، جریان خروجی منتقل شده به اولیه است. بنابراین ZVS کلیدهای پیشفاز براحتی حاصل می‌شود. شکل (۵) ولتاژ شبیه‌سازی شده گیت سورس و درین سورس یکی از کلیدهای پیشفاز و نیز جریان کل کلید مسفت و دیود ضد موازی آن را نشان می‌دهد. همان‌طور که مشاهده می‌شود جریان گذرا از دیود ضد موازی (سلف نشتی + سلف خروجی) در حد قابل توجهی بوده و ولتاژ درین سورس زمان کافی برای صفر شدن قبل از رسیدن ولتاژ گیت سورس دارد. با خاموشی کلید Q3 (کلید پسفاز) جریان باقی مانده در اولیه، خازن خروجی Q3 را شارژ و خازن خروجی Q2 را دشارژ می‌کند و پس ازآن D2 روشن می‌شود و Q2 می‌تواند در ولتاژ صفر روشن شود. برای حصول شرایط روشنی ZVS بایستی انرژی ذخیره‌شده در سلف نشتی بیش از انرژی ذخیره شده در خازنهای خروجی مسفتها باشد. در غیر این صورت ZVS کلیدهای پسفاز در بارهای سبک مختل می‌شود. حداقل انرژی سلف نشتی اولیه ترانس برابر است با

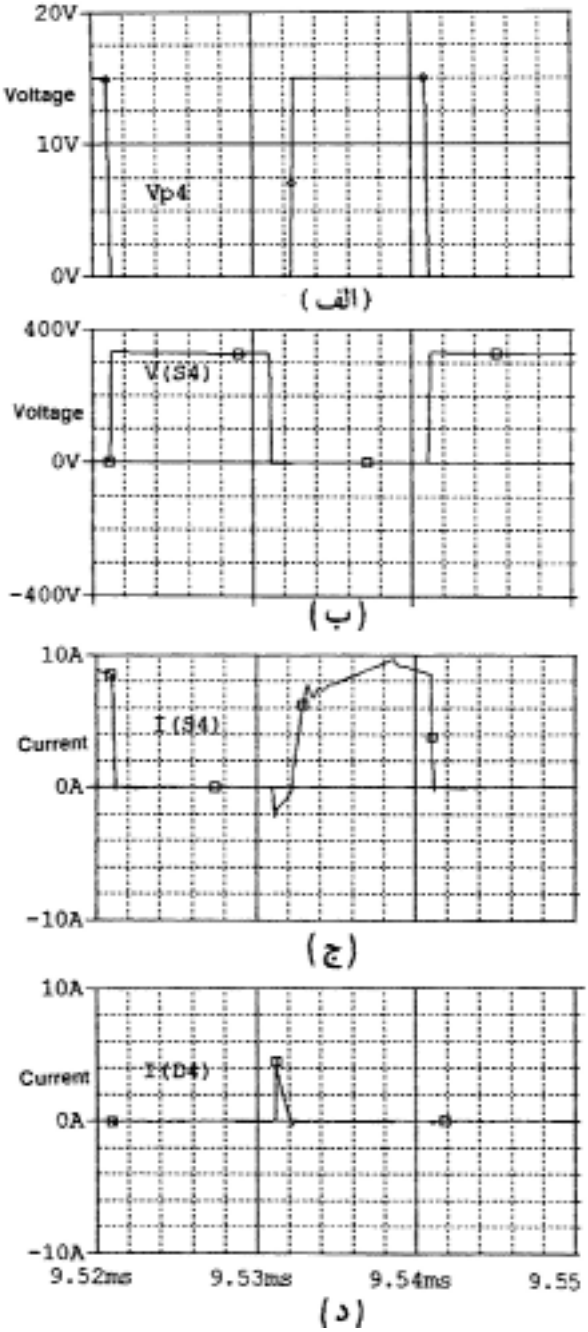
$$\frac{1}{2}L_{lk}I_2^2 > C_{mos}V_{in}^2 + \frac{1}{2}C_{TR}V_{in}^2 \qquad (۱)$$

که L_{lk} سلف نشتی اولیه، C_{mos} خازن خروجی مسفت، C_{TR} خازن سیم‌پیچی ترانس وI_2 جریان اولیه در لحظه خاموشی کلید پسفاز است [۱]. شکل (٦) ولتاژ شبیه‌سازی شده گیت سورس و درین سورس یکی از کلیدهای پسفاز و جریان مسفت و دیود ضد موازی‌اش را نشان می‌دهد. در مقایسه با شکل (۵) جریان گذرا از دیود ضد موازی کمتر و زمان صفر شدن ولتاژ درین سورس پیش از اعمال ولتاژ گیت سورس هم کمتر است و واضح است که خروج این کلیدها از حالت ZVS بیشتر از کلیدهای پیشفاز محتمل است.

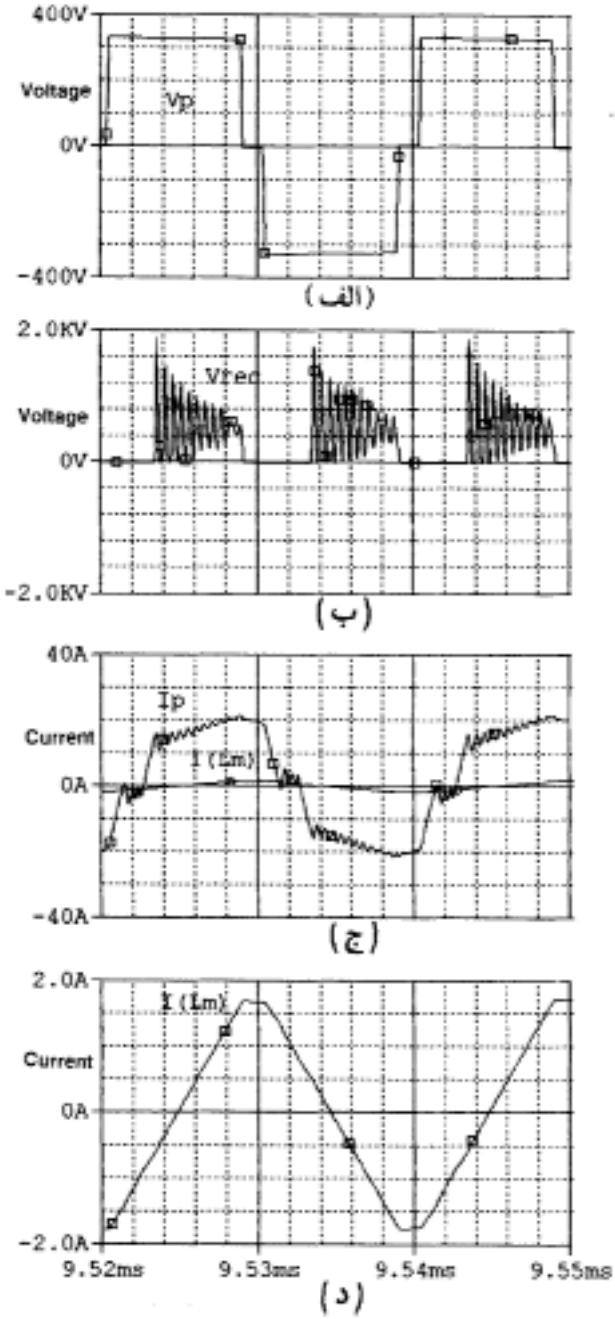
یکی از راههای رفع کردن مشکل فوق در بارهای سبک، افزایش سلف نشتی و یا استفاده از یک سلف کوچک سری با اولیه ترانس (روشB) است. این کار باعث کاهش ضریب وظیفه ولتاژ ثانویه می‌شود (به این ضریب وظیفه کاسته شده، ضریب وظیفه گم شده[٦] نیز اطلاق می‌شود) با توجه به شکل(۱) افزایش سلف نشتی شیب افزایش جریان اولیه را کاسته و دیودهای ثانویه دیرتر از حالت اتصال کوتاه خارج می‌شوند، بنابراین برای دستیابی به توان مشخص، بایستی پیک جریان سوییچها در اولیه افزایش یابد که این خود یکی از مشکلات این روش است و باعث می‌شود تلفات هدایتی روشB بیش از روش A شود. از طرفی چون در روش B ضریب وظیفه ثانویه بسیار کمتر از اولیه می‌شود، بایستی برای دستیابی به توان معین نسبت دور ترانس را افزود و در نتیجه دیودهای با تحمل ولتاژ بالاتر در ثانویه استفاده کرد. به علاوه سلف نشتی (یا سلف خطی) افزوده شده به علت رزنانس با خازن خروجی دیودهای ثانویه باعث ایجاد نوساناتی روی ثانویه می‌شود که این اثر با افزایش ولتاژ ثانویه شدیدتر می‌شود. در روشC به جای استفاده از سلف رزنانس خطی، از سلف قابل اشباع در اولیه استفاده می‌شود [۵]. انرژی ذخیره شده در سلف خطی به مربع جریان سلف وابسته است، در نتیجه اگر مبدل برای حصول ZVS در ۲۰٪ بار نامی طراحی شود، در بار کامل، ۲۵ برابر انرژی مورد نیاز دشارژ خازنهای خروجی مستقیما از آنهامی‌گذرد [۱]. اما با استفاده از سلف قابل اشباع، انرژی در جریانهای بیش از Ic (جریان حدی اشباع هسته) ثابت می‌ماند. بنابراین اگر مبدل طوری طراحی شود که سلف قابل اشباع در ۲۰٪ بار نامی اشباع شود و انرژی اشباع سلف برابر مقدار مورد نیاز دشارژ خازن مسفتها باشد، مبدل در ۲۰٪ بار نامی تحت ZVS عمل می‌کند و چون انرژی سلف اشباع در جریانهای بیش از جریان حدی هم ثابت می‌ماند، انرژی فوق در بار نامی هم همین مقدار است. و در نتیجه مبدل با سلف قابل اشباع در محدوده وسیعتری از بار بدون افزایش انرژی گردش کننده (تلفات هدایتی) قابل استفاده است. شکل (۲) شمای مبدل وشکل موجهای مربوط به مبدل با سلف قابل اشباع اولیه را نشان می‌دهد.

از مزایای دیگر روشC کاهش تلفات هدایتی سوییچهاست

Downloaded from jame.iut.ac.ir at 17:10 IRDT on Wednesday September 20th 2017



شکل ٦- شکل موجهای شاخه پس فاز مبدل ZVS با سلف نشتی
الف- پالس درایو گیت سورس، ب- ولتاژ درین سورس
ج- جریان کلید پسفاز، د- جریان دیود موازی معکوس کلید



شکل ۷- مبدل ZVS با سلف مغناطیس کنندگی الف- ولتاژ اولیه
ب- ولتاژ ثانویه: ج- جریان اولیه و جریان سلف مغناطیس کنندگی
د- جریان سلف مغناطیس کنندگی (شکل بزرگ شده)

به علت افزایش ضریب وظیفه ثانویه، ترانس با نسبت دور کمتری نیاز است که در نتیجه پیک جریان سوییچهای اولیه و پیک دیودهای ثانویه کمتر می‌شود و چون در لحظه خاموشی سوییچهای پیشفاز، سلف اشباع است، نوسانات جانبی دیودهای ثانویه کمتر هم می‌شود.

در روش D می‌توان با استفاده از انرژی سلف مغناطیس کنندگی ترانس، محدوده ZVS را از بار مستقل کرد. شکل (۳) شمای کلی و شکل موجهای این روش را نشان می‌دهد. در این روش در ثانویه ترانس از دو سوییچ استفاده می‌شود. ضریب وظیفه سوییچهای اولیه ثابت است و با تغییر زمان

Downloaded from jame.iut.ac.ir at 17:10 IRDT on Wednesday September 20th 2017

روشنی سوییچهای ثانویه، ولت ـ ثانیه اعمالی به سلف خروجی تغییر کرده و رگولاسیون ولتاژ خروجی در ثانویه صورت می‌گیرد. در ثانویه از یک دیود هرزگرد برای ایجاد مسیر گردشی جریان سلف خروجی استفاده می‌شود. فرض می‌شود انرژی ذخیره شده در سلف نشتی برای حصول ZVS سوییچهای پسفاز کافی نیست، اما جمع انرژی سلف نشتی و مغناطیس کنندگی، ZVS سوییچهای پسفاز را ممکن می‌کند. تفاوت عمده این روش با روشهای قبلی دربازه زمانی T3-T4 و نحوه حصول ZVS سوییچهای پسفاز است. در این روش در پریود هرزگرد، ثانویه توسط کلیدهای ثانویه، مدار باز شده و سلف مغناطیس کنندگی برای رزنانس با خازن خروجی کلیدها، آزاد می‌شود و ZVS تا حد بی باری هم قابل افزایش است [٦].

۳- مقایسه روشهای اصلی حصول ZVS در مبدلهای تمام پل

در این قسمت چهار روش ZVS ذکر شده در قسمتهای بالا از لحاظ زمانهای سکون مورد نیاز سوییچهای پیشفاز و پسفاز برای حصول ZVS، محدوده بار تحت ZVS، انرژی گردشی پریودهای هرزگرد و نوسانات روی دیودهای یکسوکننده ثانویه با هم مقایسه می‌شوند.

۳-۱- زمانهای سکون مورد نیاز حصول ZVS سوییچهای پیشفاز و پسفاز

در طرف اولیه بایستی زمانهای سکونی بین خاموشی یک سوییچ و روشنی سوییچ دیگر در هر شاخه (پیشفاز و پسفاز) وجود داشته باشد. این دو زمان سکون، ماکزیمم ضریب وظیفه مؤثر مبدل را می‌کاهد. با استفاده از معادلات زیر می‌توان زمانهای سکون سوییچهای پیشفاز را با هم مقایسه کرد.

$$\tau_1(A,B,C)=\frac{4C_{mos}V_{in}}{I_p+I_m}=\frac{4C_{mos}V_{in}}{NI_{ZVS}} \qquad (۲)$$

که τ_1 زمان سکون مورد نیاز کلیدهای پیشفاز، N نسبت دور ترانس، Im جریان سلف مغناطیس کنندگی و I_p کمترین مقدار پیک جریان خروجی و حدوداً برابر جریان حدی مورد نیاز ZVS (I_{ZVS}) است.

$$\tau_{1(D)}=\frac{4C_{mos}V_{in}}{NI_m} \qquad (۳)$$

در روشهای A ,B و C خازنهای خروجی سوییچهای پسفاز در یک حالت رزنانسی دشارژ می‌شود و زمان سکون $\frac{1}{4}$ پریود رزنانس است.

$$\tau_{2(A,B,C)}=\frac{\pi}{2}\sqrt{\frac{8}{3}C_{mos}.L_r} \qquad (٤)$$

که τ_2 زمان سکون مورد نیاز کلیدهای پسفاز و L_{lk} سلف نشتی در روشهای A و B و Lr سلف رزنانس در روش B و سلف اشباع شونده در روش C است و با توجه به اینکه

$$\frac{1}{2}(L_{lk}+L_r)(NI_{ZVS})^2\geq\frac{1}{2}\left(\frac{8}{3}C_{mos}\right)v_{in}^2$$

بنابراین:

$$\tau_{2(A,B,C)}=\frac{4\pi}{3}\frac{C_{mos}v_{in}}{NI_{ZVS}} \qquad (٥)$$

همچنین در روش D زمان سکون سوییچ پسفاز از معادله زیر به دست می‌آید.

$$\tau_{2(D)}=\frac{4\pi}{3}\frac{C_{mos}v_{in}}{NI_m} \qquad (٦)$$

همان‌طور که مشاهده می‌شود، زمانهای سکون روش A و B به طور معکوس به I_{ZVS} بستگی دارد و اگر ZVS در محدوده زیادی از بار مورد نیاز باشد، زمانهای سکون زیاد شده و در نتیجه ضریب وظیفه گم شده افزایش می‌یابد. این مطلب در نتایج شبیه‌سازی شده شکلهای (٤) و (٥) به خوبی نشان داده شده است. در روش C هر چند رابطه فرقی نمی‌کند ولی جریان ZVS بستگی به جریان بار ندارد زیرا انرژی ذخیره شده در سلف اشباع شونده ثابت است. در روش D زمان سکون ازجریان I_{ZVS} مستقل است که می‌تواند مقدار زیادی باشد [٧].

همان‌طور که نتایج حاصله در جدول (١) نشان می‌دهد با افزایش زمان انتقال توان هریال و در نتیجه افزایش جریان خروجی، زمان سکون مورد نیاز برای ZVS سوییچها کاهش می‌یابد.

Downloaded from jame.iut.ac.ir at 17:10 IRDT on Wednesday September 20th 2017

جدول ۱- اثر جریان خروجی در محدوده ZVS روش A

نوع بار	بار سبک	بار سنگین
پریود سوییچینگ	20 μs	20 μs
پهنای پالس هر سوییچ	8.28 μs	9.4 μs
زمان انتقال توان هریال	5.88 μs	7.4 μs
زمان سکون مورد نیاز یال پیشفاز	1.72 μs	0.6 μs

۳ـ۲ـ ضریب وظیفه گم شده و محدوده بار تحت ZVS

در روش Bبـه علـت وجـود سـلف رزنانسـی بزرگ (برای حصـول محـدوده وسـیع ZVS) در بارهـای سنگین، زمان تغییر علامت سطح فلو در سلف بزرگ شده و ضریب وظیفه گم شده هـم زیاد می‌شود بنابراین روشA روش مناسبی در محدوده‌های وسیعZVS نیست نتایج شبیه‌سازی نشان می‌دهد در زمان سکون ثابت تا حد ۷۰٪ افزایش مقاومت خروجی ZVS ، حفظ می‌شود و افزایش بیش از این حد ZVS را مختل می‌کند. اما در روش C زمـان تغییر علامت سطح فلو در بارهای سنگین همانند بارهای سـبک است زیرا در جریانهای بیش از جریان حدی اندوکتانس سـلف قـابل اشباع صفر می‌شود بنابراین ضریب وظیفه گم شده کمتر از روش B است و محدوده حصول ZVS تا بارهای سبک قـابل افـزایش است.در روش D زمان تغییر علامت سطح فلو به علت کم بودن سلف نشتی می‌تواند بسیار کم باشد و این روش تـنها روشی است که در بی باری هم می‌تواند ZVS داشته باشد. نـتایج شـبیه‌سـازی تایـید کـننده ایـن مطلـب بـوده و در حالت شـبیه‌سـازی شده مشابه حالت عملی، افزایش مقاومت خروجی تـا حد ده هزار برابر حالت نامی (بی باری تقریبی) هم، ZVS را مخـتل نکرده است.در جدول (۲) نتایج حاصل از شبیه‌سازی دو روش A و D در بارهای مختلف مطرح شده است.

۳ـ۳ـ انرژی گردشی در پریودهای هرزگرد

پـس از هـر ناحـیه انتقال توان در سیکل سوییچینگ، انرژی ذخیره شده در سلف نشتی و یا رزنانسی به صورت هرزگرد در مـبدل ادامـه مـی‌یـابد و یـا به منبع برمی‌گردد. چون این انرژی ربطـی بـه انـتقال تـوان نـدارد بـه عنوان انرژی گردشی (E_{circ}) شـناخته مـی‌شـود و ایـن عمـل شرایط سوییچینگ نرم را ایجاد می‌کند اما تلفات هدایتی مدار را هم می‌افزاید.

در روش B و A انرژی سلف رزنانس بیش از مقدار مورد نیاز ZVS است و اگر E_{min} کمترین مقدار انرژی مورد نیاز ZVS باشد انرژی گردشی این روش (با توجه به اینکه $E=\frac{1}{2}LI^2$ است) برابر است با

$$E_{circ}(A,B)=E_{min}\left(\frac{I_{out}}{I_{ZVS}}\right)^2 \qquad (۷)$$

در روش C این انرژی برابر است با

$$E_{circ}(C)=E_{min}=\frac{4}{3}C_{mos}v_{in}^2 \qquad (۸)$$

در روشD انـرژی در سـلف مغناطـیس کنندگـی افـزایش قابل ملاحظـه‌ای دارد و فقـط از سـیم‌پیچی اولیه می‌گذرد و ربطی به انتقال توان ندارد. انرژی گردشی برابر است با

$$E_{circ}(D)=\frac{1}{2}L_mI_m^2 \gg E_{min} \qquad (۹)$$

که مقدار نسبتا بزرگی است.

۳ـ٤ـ نوسانات جانبی دیودهای ثانویه

در روشـهایA وB بـه علت استفاده از سلف رزنانس خطی بالازدگی روی دیودهای یکسوکننده زیاد است و در نتیجه برای میرا کردن نوسانات از مدار کلمپ استفاده می‌شود [۱].

در روشC ماکـزیمم انـرژی نوسانات جانبی به سطح اشباع سلف سری با اولیه بستگی دارد و کمتر از دو روش قبل‌است. به علت استفاده از کلید ثانویه در روشD انرژی نوسانات جانبی تقریبا صفر است زیرا در پریودهای هرزگرد، کلیدهای ثانویه باز می‌باشد و هیچ انرژی را ذخیره نمی‌کند.

Downloaded from jame.iut.ac.ir at 17:10 IRDT on Wednesday September 20th 2017

جدول ۲- مقایسه روشهای A و D از لحاظ محدوده بار تحت ZVS

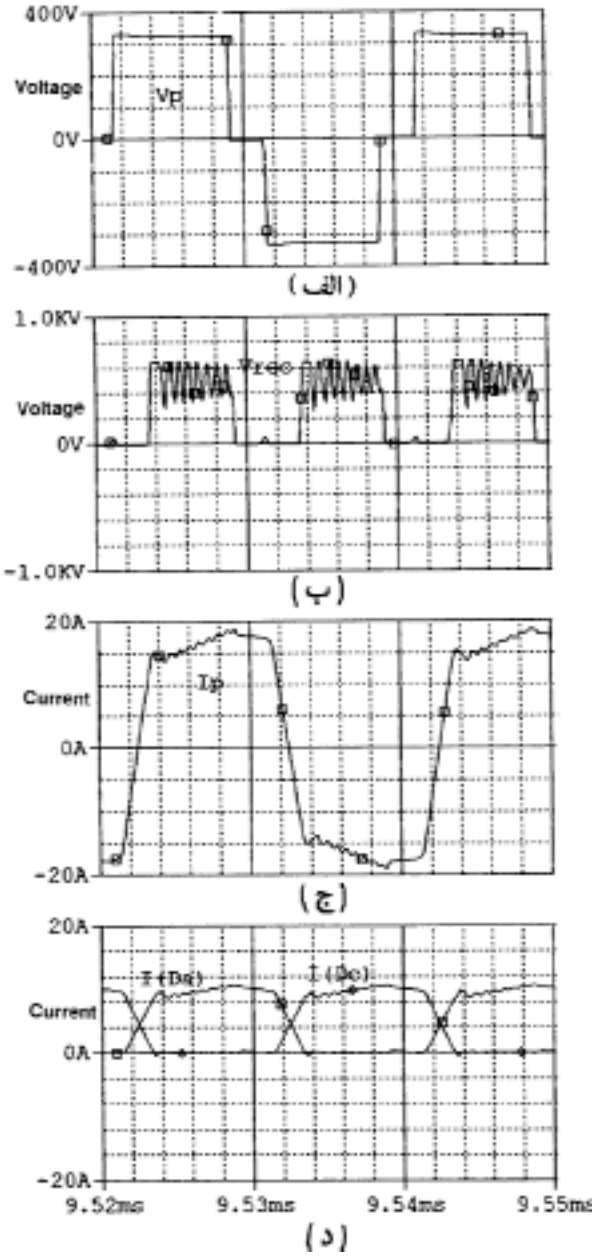
روش ZVS	شیفت فاز با سلف نشتی: (A)	شیفت فاز با سلف مغناطیس‌کننده:(D)
پریود سوییچینگ	20 µs	20 µs
زمان انتقال توان هریال	5.88 µs	4.58 µs
ولتاژ خروجی	300 v	300 v
بار خروجی نامی	30 Ω	30 Ω
ماکزیمم مقاومت بار تحتZVS	51Ω	300 kΩ

٤ـ نتایج عملی مبدل پلZVS-PWM با استفاده از سلف نشتی اولیه ترانس

در این بخش نتایج عملی ساخت یک نمونه مبدل تمام پل ۳kw با ورودی یکسوشده برق شهر و خروجی ۳۰۰ vdc رگوله شده و فرکانس سوییچینگ۵۰ KHz با کلیدزنی در ولتاژ صفر توسط انرژی سلف نشتی اولیه مطرح می‌شود. دلیل استفاده از روش A، توان بالای مبدل و عدم نگرانی از مختل شدن ZVS سوییچها و سادگی نسبی این روش است. آرایش استفاده شده همانند شکل (۱) است و هر کلید قدرت از سه ترانزیستور مسفت قدرت IRFP460 تشکیل شده که با هم موازی شده‌اند. علت این امر افزایش محدوده جریان قابل تحمل کلید است. زیرا سلف نشتی ترانس نسبتا بزرگ و حدود ۷µH است در نتیجه ضریب وظیفه گم شده مبدل افزایش می‌یابد و برای حصول توان مورد نظر بایستی پیک جریان اولیه را افزود. در طراحی مدار کنترل از آی‌سی TL494 برای تولید دو سیگنال اصلی مربعی با فرکانس ۵۰KHz و زمان مرده ۱۰٪ کل پریود استفاده شده است. این دو سیگنال برای درایو کلیدهای پسفاز به کار می‌رود. دو سیگنال دیگر که درایو کلیدهای پیشفاز را به عهده دارد از مقایسه موج دندانه اره‌ای آی‌سی با یک ولتاژ مرجع بدست می‌آید این ولتاژ مرجع همان سیگنال خطای خروجی تقویت کننده خطاست که در مدار فیدبک به کار رفته است. فیدبک مدار از ولتاژ خروجی نهایی‌گرفته می‌شود. ایزولاسیون سیگنالهای گیتها توسط اپتوکوپلر سریع 6N137 انجام می‌شود و خروجی 6N137 توسط یک تقویت کننده سطح ولتاژ تا ۱۵ v افزایش می‌یابد و سپس به طبقه درایو اعمال می‌شود. طبقه درایو، یک مدار totem poleدارلینگتون با ترانزیستورهای سوییچینگ 2N4124 npn, و2SC1226 و ترانزیستورهای سوییچینگ 2N4126,pnp و 2SA1357 است. به منظور بهبود عملکرد درایو در توان بالا، زمین قسمت ثانویه اپتوکوپلر، آپ‌امپ تقویت کننده و طبقه درایو به ولتاژ ۵v- متصل می‌شود. با این کار تغییرات سیگنال گیت بین ۵ v- و ۱۵v بوده و اثر سیگنالهای ناخواسته را بر روی گیت می‌کاهد. برای افزایش سرعت طبقه درایو از خازنهای تسریع استفاده می‌شود. به علت موازی کردن مسفتها و امکان ایجاد نوساناتی روی گیت، در ورودی هر گیت از مقاومتهای ٤/۷Ω استفاده شده است. برای کاهش نویز مدار قدرت سیمهای زمین و تغذیه مدار قدرت باید با اتصالات خوب و بسیار ضخیم انتخاب شود. نسبت دور ترانس افزاینده که روی هسته فریت EE به شماره 1-100EE پیچیده شده ۳۰:٤٥ است. در ورودی ترانس از خازن پلی استر بلوک کننده DC برای تعدیل فلوی ورودی به هسته و برابر ۱µf استفاده می‌شود. در پل دیودی خروجی، دیودهای بسیار سریع FEP16HT استفاده شده است اما چون باز هم در خروجی یکسوکننده دیودی نوسانات فرکانس بالا وجود دارد، از مدار کلمپ شکل (۹) استفاده می‌شود. ساختار این مدار کلمپ در مرجع [۱] شرح داده شده است.

تلفات این مدار بسیار کمتر از اسنابرهای RCD معمولی بوده و بسته به ظرفیت خازن کلمپ، سطح نوسانات ناشی از رزنانس بین سلف نشتی و خازن دیود خاموش یکسوکننده را

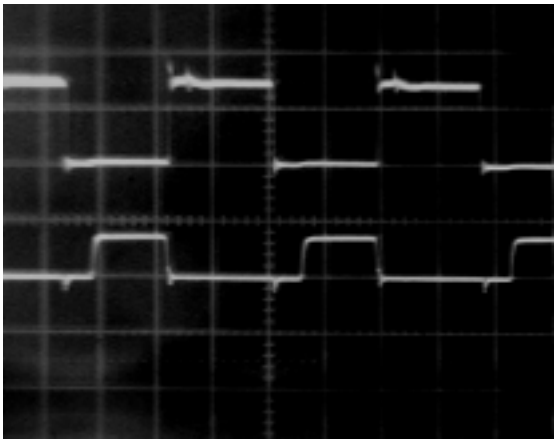
Downloaded from jame.iut.ac.ir at 17:10 IRDT on Wednesday September 20th 2017



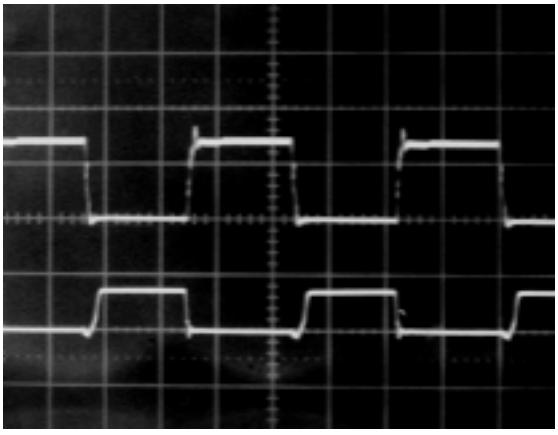
شکل ۸- اثر مدار کلمپ در محدود کردن نوسانات ولتاژ ثانویه، الف- ولتاژ اولیه، ب- ولتاژ ثانویه ج- جریان اولیه، د- جریان دیودهای یکسوکننده

در حدود ۱۲۰٪ ولتاژ نامی ثانویه محدود می‌کند. شکل (۸) نتایج شبیه‌سازی مدار کلمپ را روی محدود کردن نوسانات ثانویه مبدل نشان می‌دهد. محاسبه توان تلف شده در مقاومت کلمپ نشان می‌دهد اگر قرار بود این نوسانات با اسنابر RCD معمولی حذف شود، تلفات مقاومت بسیار بیشتر از مدار کلمپ می‌شد. افزایش مقدار مقاومت یا کاهش ظرفیت خازن کلمپ، ولتاژ کلمپ و فرکانس نوسانات را می‌افزاید و انرژی تلفاتی کلمپ کمتر می‌شود اما در عوض استرس ولتاژ یکسوشده را می‌افزاید. برای حفاظت سوییچهای اولیه در برابر اضافه جریان ناشی از اتصال کوتاه بار یا روشنی همزمان سوییچهای یک

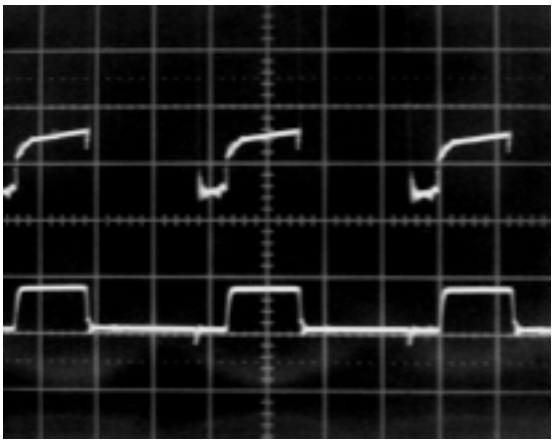
Downloaded from jame.iut.ac.ir at 17:10 IRDT on Wednesday September 20th 2017



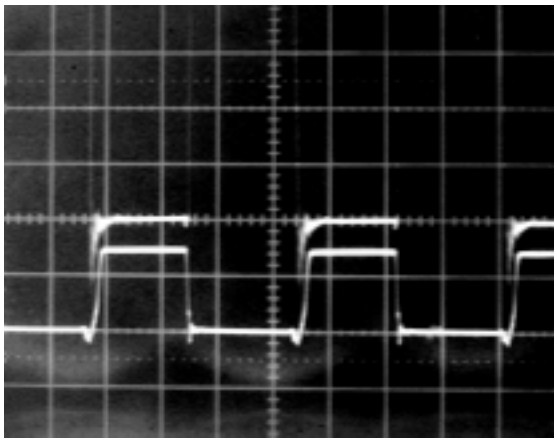
شکل ۹- ولتاژ گیت سورس (پائینی) درین سورس (بالایی) کلیدهای پیشفاز



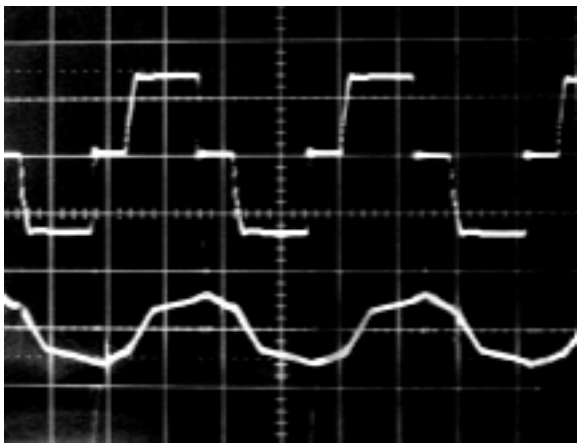
شکل ۱۰- ولتاژ گیت سورس (پائینی)و درین سورس و درین سورس (بالایی) کلیدهای پسفاز



شکل ۱۱- قسمتی از شکل بزرگ شده ولتاژ درین سورس (بالایی) و ولتاژ گیت سورس (پائینی) کلیدهای پیشفاز



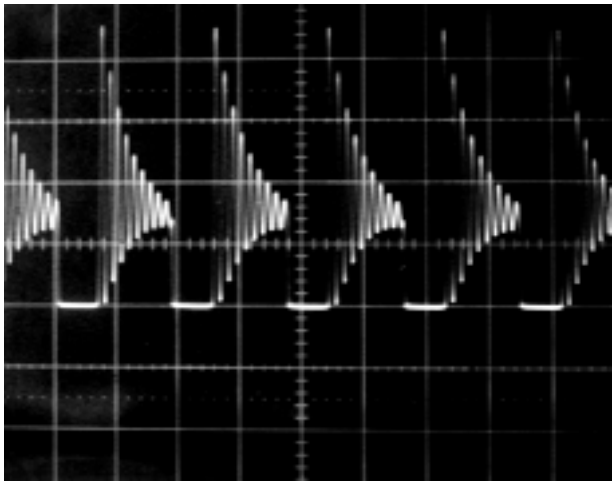
شکل ۱۲- قسمتی از شکل بزرگ شده ولتاژ درین سورس (بالایی) و ولتاژ گیت سورس (پائینی) کلیدهای پسفاز



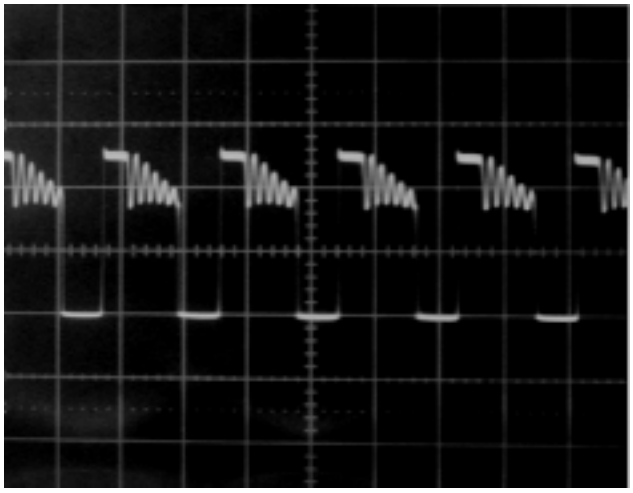
شکل ۱۳- ولتاژ و جریان اولیه ترانس (با ضریب وظیفه زیاد)

شکل ١٤- ولتاژ و جریان اولیه ترانس (با ضریب وظیفه کم)

Downloaded from jame.iut.ac.ir at 17:10 IRDT on Wednesday September 20th 2017



(الف)



(ب)

شکل ۱۵- نوسانات یکسوکننده خروجی، (الف) بدون مدار کلمپ (ب) با مدار کلمپ

شاخه پل، مدار حفاظت اضافه جریان با نمونه‌برداری جریان اولیه و ارسال فرمان قطع اسیلاتور TL494 در مدار کنترل تعبیه شده است. طراحی دقیق اجزای این مبدل در مرجع [۸] به طور مفصل شرح داده شده است.

شکل (۱۰) ولتاژ گیت سورس و درین سورس یکی از کلیدهای پیشفاز و شکل (۱۱) ولتاژ گیت سورس و درین سورس یکی از کلیدهای پسفاز را نشان می‌دهد. همان‌طور که در شکل (۱۲) واضح است ولتاژ درین سورس کلیدهای پیشفاز قبل از آمدن سیگنال گیت حدوداً ۰/۷- است و باعث روشنی در ولتاژ صفر (تقریبی) کلید است. کلیدهای پسفاز هم در ZVS روشن می‌شوند اما دیودهای ضد موازی‌شان در بارهای سبک فرصت بسیار کمی برای روشنی دارند که امکان دارد ZVS این‌کلیدها را مختل کند شکل (۱۳) این مطلب را به وضوح نشان می‌دهد. شکل (۱٤) ولتاژ و جریان اولیه ترانس را نشان‌می‌دهد که به نحو خوبی با شکل (۱) همخوانی دارد. شکل(۱۵) عملکرد مدار در ضریب وظیفه کم (یا جریانهای بار کم) رانشان می‌دهد، همان‌طور که مشاهده می‌شود ZVS از دست رفته است. در شکل (۱٦) نحوه عملکرد مدار کلمپ ثانویه که‌نقش مؤثری در کاهش نوسانات جانبی روی دیودهای ثانویه دارد را نشان می‌دهد. شکل (۱٦) ریپل ۵۰ Hz کاهش یافته و نوسان ۵۰ KHz روی ولتاژ خروجی را نشان می‌دهد. رگولاسیون خط مبدل برابر ۰/۵ درصد است که عملکرد خوب مدار فیدبک را نشان می‌دهد. همچنین آزمایشات طولانی مدت زیر بار نشان می‌دهد این مبدل از نظر حرارتی بسیار پایدار بوده و به علت تلفات ناچیز سوییچها نیازی به فن خنک کننده نیست و تنها گرمابرهای آن دفع حرارتی را به خوبی انجام می‌دهند. در ادامه طرح برای دست‌یابی به توان بالاتر (۱۰kw) استفاده از مدولهای موازی ۳kw و به کارگیری روش مناسب تقسیم بار انجام شده است که نتایج در مقالات بعدی ارائه می‌شود. در مجموع ساخت این مبدل در سطح توان ۳KW و با استفاده از سوییچهای معمولی و ارزان قیمت را می‌توان موفقیت بزرگی در راستای پروژه‌های تحقیقاتی و تامین‌نیازهای صنایع مختلف به خصوص صنایع نظامی کشور به حساب آورد. استفاده از این منابع به دلیل مزایای آنها در سیستمهایی مانند فرستنده و گیرنده رادار، فوکوس کویل، لامپهای RF، شتاب دهنده‌ها و باتری شارژرها ضروری است که در کشور تاکنون در این توان با تکنولوژی پیشرفته انجام نشده است.

Downloaded from jame.iut.ac.ir at 17:10 IRDT on Wednesday September 20th 2017

۵- نتیجه‌گیری

در ایـن مقالـه چهار روش اصلی کلیدزنی در ولتاژ صفر در مـبدلهای PWM تمـام پـل بررسی، مقایسه و در پایان نتایج یک نمونـه ازمـبدل ZVS کـه در توان۳ KW طراحی و ساخته شده، مطـرح شـده است. روشهای سوییچینگ نرم در مبدلهای PWM باعث کاهش تلفات کلیدزنی و تداخل الکترومغناطیسی می‌شود و امکـان افزایش فرکانس و کاهش حجم و وزن مبدل را فراهم مـی‌کـند. در چهـار روش مطرح شده، از سلفهای نشتی- خطی سـری بـا اولـیه- قابل اشباع در اولیه و مغناطیس‌کنندگی ترانس بـرای تأمیـن انـرژی مـورد نـیاز روشـنی دیودهـای ضد موازی سـوییچهای پل اولیه استفاده شده است.کنترل پل اولیه به روش شـیفت فـاز یافته صورت می‌گیرد. این روشها معرفی، بررسی و از لحاظ پارامترهای مهمی همچون زمان سکون مورد نیاز ZVS و ... بـا هم مقایسه شده‌اند. در قسمت عملی طرح، روش ZVS بـا اسـتفاده از سلف نشتی اولیه ترانس به علت توان بالای مبدل و عـدم نگرانی از مختل شدن ZVS سوییچهای پسفاز و سادگی نسبی آن نسبت به سایر روشها انتخاب شده و در توان۳KW و فرکانس۵۰KHz طراحی و ساخته شده و در قسمت ثانویه برای محـدود کـردن سطح نوسانات یکسوکننده خروجی در توانهای بـالا از مـدار کلمـپ بـا تلفاتـی بسیار کمتر از اسنابرهای RCD مرسـوم اسـتفاده شده است. نتایج عملی طرح در شکلهای مقاله نشان داده شده و با نتایج تئوری تطابق دارد.

قدردانی

اجـرای ایـن طـرح پژوهشـی در پژوهشـکده بـرق و کامپـیوتر دانشگاه صنعتی اصفهان صورت گرفته است.

واژه نامه

1. zero voltage switching
2. dead time
3. lagging switches
4. leading switches
5. duty cycle
6. duty cycle loss

مراجع

1. Sabate, J.A., Volatkovic, V., and Lee, F.C., "Design Consideration for High-Voltage High-PowerFull-Bridge Zero-Voltage-Switched PWM Converter," *Conf. Rec. IEEE APEC'90*, pp-275-283, 1990.
2. Song-Yi Lin, and Chern-Lin Chen, "Analysis and Design for RCD Clamped Snubber Used in Outputrectifier of Phase-Shift Full-Bridge ZVS Converters," *Industrial Electronics, IEEE Transactions on*, vol.45 Issue, 2, Apr. 1998.
3. Nederson do Prado, R, "The Behavior of the Rectifying Diode Reverse Recovery of ZVS Converters in the Presence of a Saturable Inductor," Industry Applications Society Annual Meeting, 1994.,Conference Record of the 1994 IEEE 6-2, Oct. 1994.
4. Do Prado, R. N, "Effects of the Saturable Resonant Inductor on the Rectifying Diode Reverse Recovery of ZVS Converters," *Power Electronics Congress, 1994., Technical Proceedings*. CIEP'94., 3rdInternational 25-21, Aug. 1994.
5. Hua, G., Lee, F.C., and Jovanovic, M.M., "An Improved Zero-Voltage-Switched PWM Converter Using ASaturable Inductor," *Conf. Rec. IEEE PESC'91*, pp. 189-194, 1991.
6. Watson, R., and Lee, F.C., "Analysis, Design, and Experimented Results of a 1-kW ZVS-FB-PWMConverter Employing Magamp Secondary-Side Control," *IEEE Trans. on Ind. Elect*., vol. 45, No. 5,pp. 806-813, Oct. 1998.
7. Chen, W., Lee, F.C., and Sabate, J.A., "A Comparative Study of a Class of Full-Bridge ZVS PWMConverters," *Conf. Rec. IEEE APEEC'95*, pp. 893-899, 1995.
8. توسل، م.، بررسی روشهای سوییچینگ نرم در مبدلهای تمام پـل PWM و سـاخت یـک نمونـه در تـوا ن3kw، پایان‌نامه کارشناسی ارشد، دانشگاه صنعتی اصفهان، ۱۳۷۸.