

بررسی و شبیه‌سازی روشهای ZVS¹ در مبدل‌های تمام پل و ساخت یک نمونه در توان 3kw

حسین فرزانه‌فرد^{*}، سیدرضا مطهری^{**} و محمدمهدی توسل^{***}
پژوهشکده برق و کامپیوتر، دانشگاه صنعتی اصفهان

(دریافت مقاله: ۸۱/۹/۲۵ - دریافت نسخه نهایی: ۸۲/۷/۱)

چکیده - یکی از مشکلات مبدل‌های سویچینگ PWM تلفات بالای کلیدزنی و تداخل الکترومغناطیسی به علت سویچینگ در ولتاژ و جریان غیر صفر است که فرکانس عملکرد را محدود می‌کند. به منظور کاهش حجم و وزن مبدل (با افزایش فرکانس) و کاهش تلفات کلیدزنی روشهای کلیدزنی در ولتاژ و یا جریان صفر پیشنهاد می‌شود. در این مقاله چهار روش اصلی کلیدزنی در ولتاژ صفر (ZVS) در مبدل‌های پل معرفی و مقایسه شده‌اند. این چهار روش از لحاظ زمانهای سکون^۲ مورد نیاز حصول ZVS کلیدها، محدوده بار تحت ZVS، انرژی گردشی در دیودهای ضد موازی در پریودهای هرزگرد و نوسانات جانبی روی دیودهای ثانویه با هم مقایسه شده‌اند. در پایان نتایج عملی یک نمونه مبدل پل ZVS در توان 3kw با کلمپ نوسانات جانبی یکسوکننده مورد بحث و بررسی قرار گرفته است.

واژگان کلیدی: مبدل توان بالا، مبدل سویچینگ PWM، کلیدزنی در ولتاژ صفر (ZVS)، روشهای ZVS

Analysis and Simulation of ZVS Methods in Full Bridge Converters and Realization of a 3 KW Prototype

H. Farzanehfard, S. R. Motahari and, M. M. Tavasoulkhamseh

Department of Electrical and Computer Engineering Research Center, Isfahan University of Technology

Abstract: *One of the difficulties with PWM switching converters is high switching loss and electromagnetic interference due to switching at non-zero voltage and current, which limits the operating frequency. In order to reduce the converter volume and weight (by increasing the frequency) and reducing switching losses, zero voltage and current switching methods are recommended. In this paper, four main zero voltage switching (ZVS) methods in full bridge converters are introduced and compared. These four methods are compared on dead times required to obtain the ZVS, load range at ZVS condition, circulating energy in the switch anti parallel diodes during freewheeling periods and voltage oscillations on rectifying diodes. Finally, the results of a 3 KW prototype full bridge ZVS converter with a clamp circuit for rectifier diodes oscillations are presented and analyzed.*

Keywords: *High power converter, PWM switching converter, Zero voltage switching (ZVS), ZVS methods*

*** - دانشجوی کارشناسی ارشد

** - مربی

* - استادیار

C_{mos} خازن خروجی مسفت	I_p کمترین مقدار پیک جریان خروجی
C_{TR} خازن سیم‌پیچی ترانس	L_{lk} سلف نشتی در اولیه
E_{circ} انرژی گردشی	L_m سلف مغناطیس کننده
E_{min} کمترین مقدار انرژی مورد نیاز ZVS	N نسبت دور ترانس
I_2 جریان اولیه در لحظه خاموشی کلید پسفاز ^۳	ZVS سویچینگ در ولتاژ صفر
I_m جریان سلف مغناطیس کننده	τ_1 زمان سکون مورد نیاز کلیدهای پیشفاز ^۴

۱- مقدمه

اخیرا توپولوژیهای متفاوتی برای مبدل‌های توان و ولتاژ بالا، با کاهش تلفات سویچینگ پیشنهاد شده است. در این میان مبدل‌های تمام پل ZVS با کنترل PWM (ZVS-FB-PWM) به‌طور وسیع مورد استفاده قرار می‌گیرند. این مبدل‌ها که توسط تکنیک PWM شیفت فاز یافته کنترل می‌شوند از المانهای پارازیتی مدار شامل سلف نشتی ترانسفورمر و خازن پیوند سویچها استفاده می‌کند تا شرایط ZVS را برای سویچهای فعال فراهم کند. این مبدل‌ها مزایای سادگی کنترل PWM و مشخصه‌های سویچینگ نرم مبدل‌های رزنانس را دارا هستند در حالی که معایب اصلی مبدل‌های رزنانسی را ندارند. تلفات سویچینگ در این مبدل‌ها به شدت کاهش می‌یابد بدون اینکه تلفات هدایتی عمده‌ای ایجاد شود. به علاوه به علت ثابت بودن فرکانس می‌توان طراحی بهینه فیلتر را انجام داد. اما این مبدل‌ها دارای معایبی از قبیل افزایش تلفات هدایتی، استرس جریان و ولتاژ سویچها، نوسانات پارازیتی دایودهای یکسوکننده و محدودیت تغییر بار هستند که با استفاده از روشهایی می‌توان این معایب و محدودیتها را نیز کاهش داد [۱-۴].

در این مقاله چهار روش اصلی کلیدزنی در ولتاژ صفر مبدل تمام پل با استفاده از سلف نشتی ترانس [۱]، سلف رزنانس خطی [۵]، سلف رزنانس قابل اشباع در اولیه ترانس [۶] و سلف مغناطیس کنندگی [۷] که به اختصار و به ترتیب به روشهای A, B, C, D نام گرفته‌اند با یکدیگر مقایسه شده‌اند. شکل‌های (۱، ۲ و ۳) شمای کلی این روشها را نشان می‌دهند.

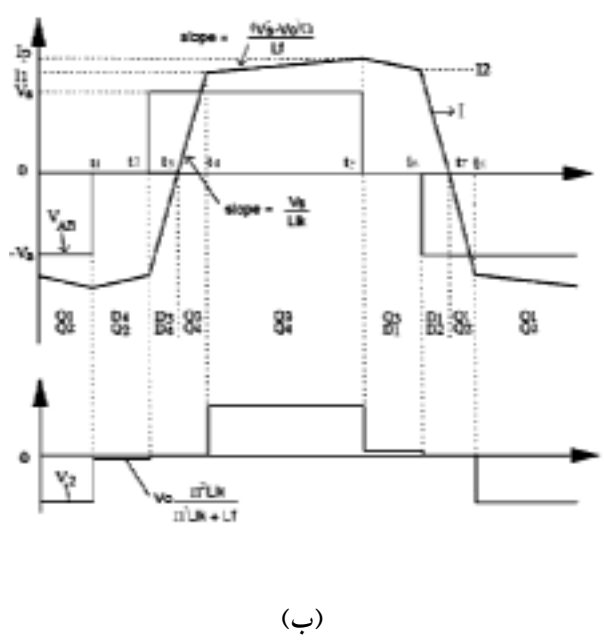
(شمای کلی روش B مشابه A است). اساس حصول شرایط ZVS در این مبدل‌ها بدین صورت است که انرژی ذخیره شده در هر یک از سلفهای مذکور، دیودهای ضد موازی کلیدها را پیش از اعمال سیگنال گیت به سویچ آنها روشن می‌کند و در نتیجه روشنی کلید در ولتاژ تقریباً صفر صورت می‌گیرد.

چگونگی حصول شرایط ZVS در بارهای مختلف در هر چهار روش فوق مطرح و با نتایج حاصل از شبیه‌سازی در بخش اول مقایسه می‌شود. در بخش بعد این چهار روش از لحاظ زمانهای سکون مورد نیاز حصول ZVS کلیدهای پیشفاز (کلیدهایی که زودتر خاموش می‌شوند) و کلیدهای پسفاز (کلیدهایی که دیرتر خاموش می‌شوند)، محدوده بار تحت ZVS، انرژی گردش کننده در دیودهای ضد موازی در پریودهای هرزگرد و نوسانات جانبی روی دیودهای ثانویه و تلفات سویچینگ توسط نتایج شبیه‌سازی روشها با هم مقایسه می‌شوند در بخش نهایی نتایج عملی یک مبدل تمام پل PWM با کلیدزنی در ولتاژ صفر با استفاده از سلف نشتی اولیه ترانس در توان 3KW و با کلمپ نوسانات جانبی یکسوکننده مطرح می‌شود.

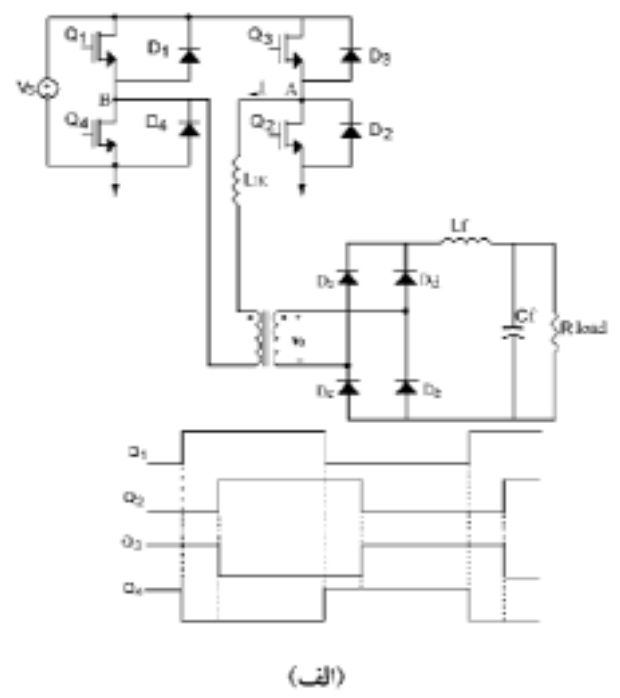
۲- معرفی روشهای اصلی کلیدزنی در ولتاژ صفر

مبدل تمام پل PWM

شکل (۱) شمای کلی مبدل تمام پل PWM، با استفاده از سلف نشتی ترانس (روش A) و شکل موجهای ولتاژ و جریان اولیه ترانس و شکل (۴) نتایج شبیه‌سازی ولتاژ و جریان اولیه و ولتاژ

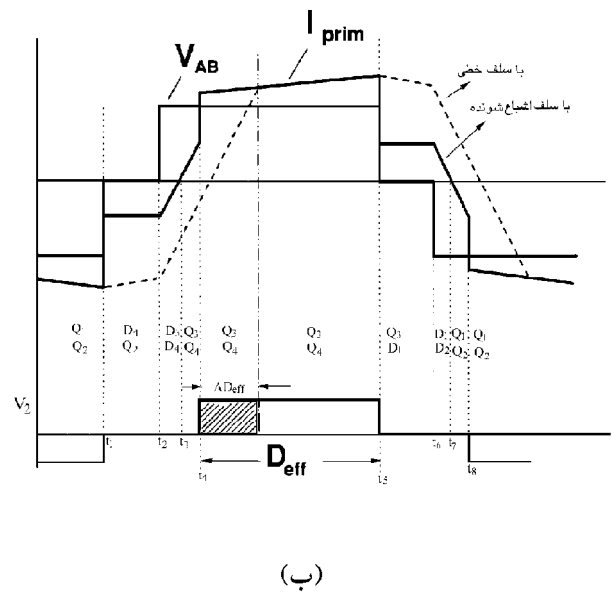


ب- شکل موجهای آن (روشهای A و B)

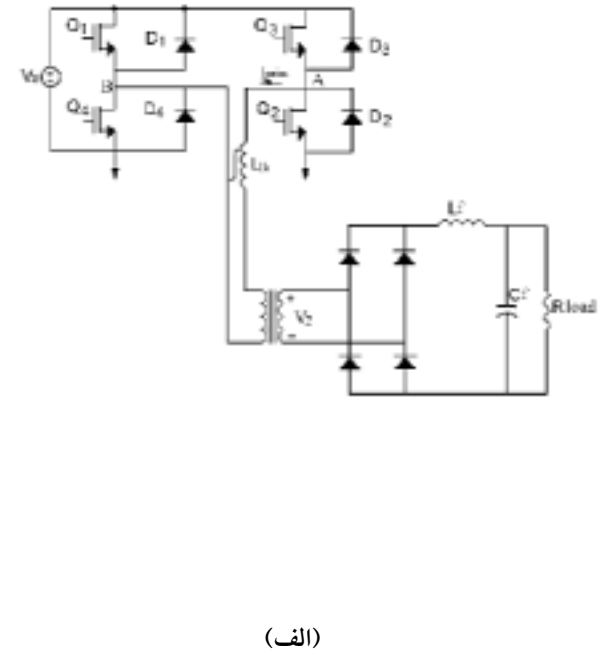


(الف)

شکل ۱- الف- مبدل پل ZVS با سلف نشستی ترانس

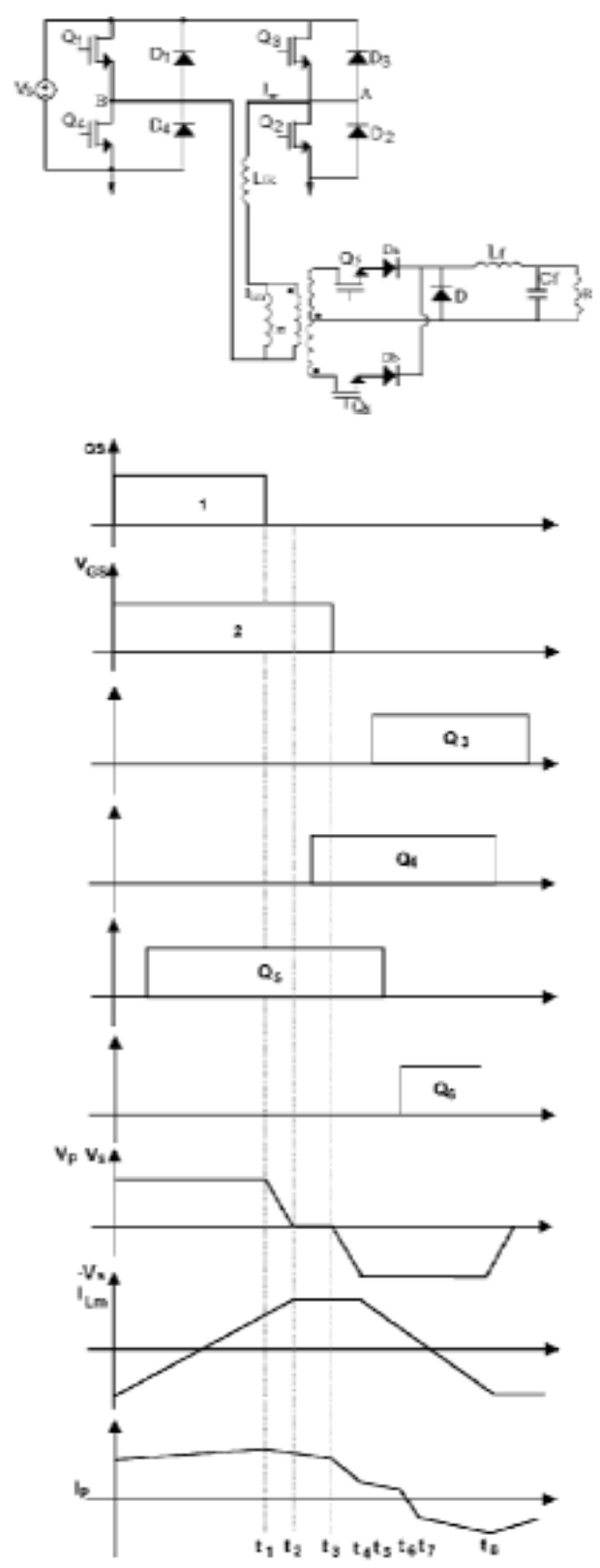


(ب)

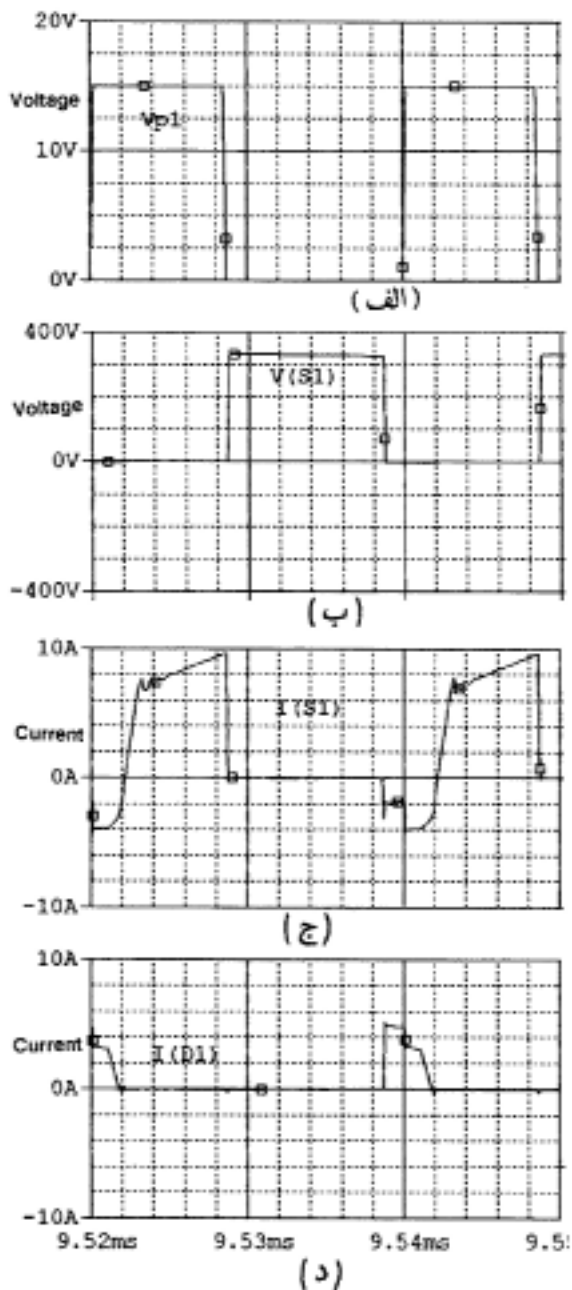


(الف)

شکل ۲- الف- مبدل پل ZVS با سلف قابل اشباع (روش C)

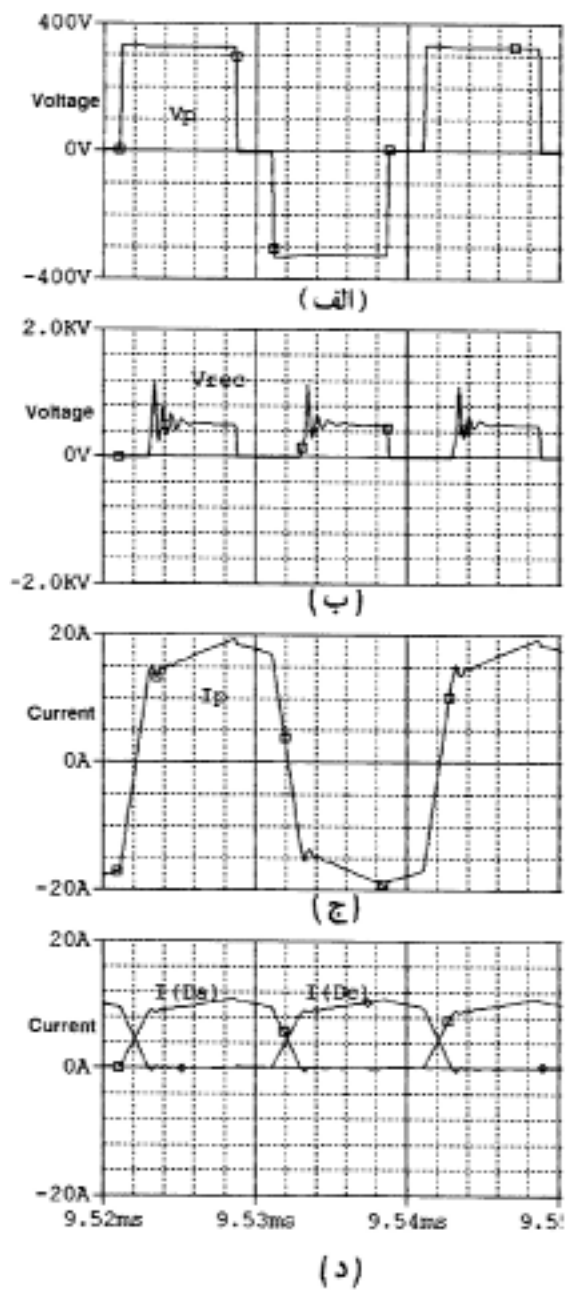


شکل ۳- مبدل پل ZVS با سلف مغناطیس کنندگی و شکل موجهای آن (روش D)



شکل ۵- شکل موجهای شاخه پیش فاز مبدل ZVS با سلف نشنی
الف- پالس درایو گیت سورس، ب- ولتاژ درین دیودهای سورس
ج- جریان کلید پیشفاز د- جریان دیود موازی معکوس کلید

وجود دارد که ضریب وظیفه^۵ (d) مبدل و به عبارتی پهنای پالسهای ایجاد شده روی اولیه ترانس را تعیین می کند. نحوه حصول شرایط ZVS به شرح زیر است.
شرایط اولیه کار مدار: کلیدهای Q1 و Q2 خاموش و



شکل ۴- شکل موجهای مبدل ZVS با سلف نشنی، الف- ولتاژ اولیه
ب- ولتاژ ثانویه، ج- جریان اولیه، د- جریان یکسوکننده

ثانویه یکسوشده (همراه با نوسانات شدید) را نشان می دهد. سیگنالهای گیت این مبدل همانند مبدل تمام پل با کلیدزنی سخت است، با این تفاوت که به جای روشنی همزمان کلیدهای یال مخالف، بین کلیدهای یال راست و یال چپ شیفت فازی

کلیدهای Q4 و Q3 روشن هستند.

با خاموشی کلید Q4 (کلید پیشفاز)، جریان اولیه خازن خروجی Q4 را شارژ و خازن خروجی Q1 را دشارژ می‌کند و پس از آن دیود D1 روشن می‌شود. با روشنی D1، Q1 می‌تواند در ولتاژ صفر روشن شود. در این حالت جریان اولیه، جریان خروجی منتقل شده به اولیه است. بنابراین ZVS کلیدهای پیشفاز براحتی حاصل می‌شود. شکل (5) ولتاژ شبیه‌سازی شده گیت سورس و درین سورس یکی از کلیدهای پیشفاز و نیز جریان کل کلید مسفت و دیود ضد موازی آن را نشان می‌دهد. همان‌طور که مشاهده می‌شود جریان گذرا از دیود ضد موازی (سلف نشستی + سلف خروجی) در حد قابل توجهی بوده و ولتاژ درین سورس زمان کافی برای صفر شدن قبل از رسیدن ولتاژ گیت سورس دارد. با خاموشی کلید Q3 (کلید پسفاز) جریان باقی مانده در اولیه، خازن خروجی Q3 را شارژ و خازن خروجی Q2 را دشارژ می‌کند و پس از آن D2 روشن می‌شود و Q2 می‌تواند در ولتاژ صفر روشن شود. برای حصول شرایط روشنی ZVS بایستی انرژی ذخیره‌شده در سلف نشستی بیش از انرژی ذخیره شده در خازنهای خروجی مسفتها باشد. در غیر این صورت ZVS کلیدهای پسفاز در بارهای سبک مختل می‌شود. حداقل انرژی سلف نشستی اولیه ترانس برابر است با

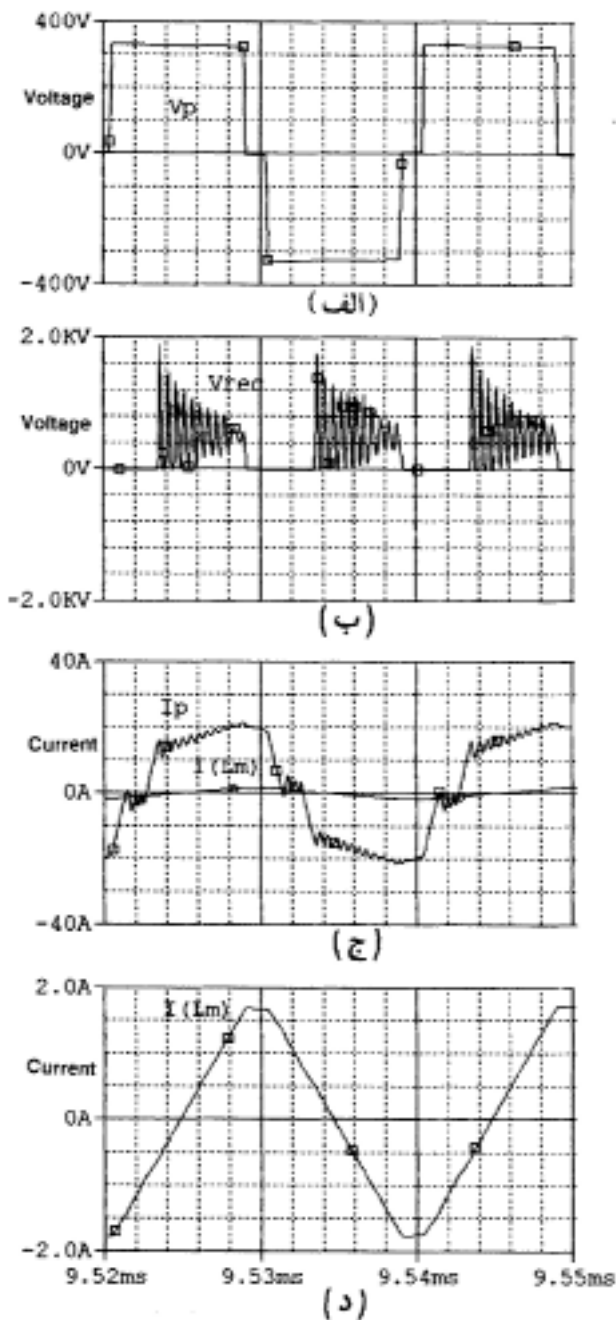
$$\frac{1}{2} L_{lk} I_2^2 > C_{mos} V_{in}^2 + \frac{1}{2} C_{TR} V_{in}^2 \quad (1)$$

که L_{lk} سلف نشستی اولیه، C_{mos} خازن خروجی مسفت، C_{TR} خازن سیم‌پیچی ترانس و I_2 جریان اولیه در لحظه خاموشی کلید پسفاز است [1]. شکل (6) ولتاژ شبیه‌سازی شده گیت سورس و درین سورس یکی از کلیدهای پسفاز و جریان مسفت و دیود ضد موازی‌اش را نشان می‌دهد. در مقایسه با شکل (5) جریان گذرا از دیود ضد موازی کمتر و زمان صفر شدن ولتاژ درین سورس پیش از اعمال ولتاژ گیت سورس هم کمتر است و واضح است که خروج این کلیدها از حالت ZVS بیشتر از کلیدهای پیشفاز محتمل است.

یکی از راههای رفع کردن مشکل فوق در بارهای سبک، افزایش سلف نشستی و یا استفاده از یک سلف کوچک سری با

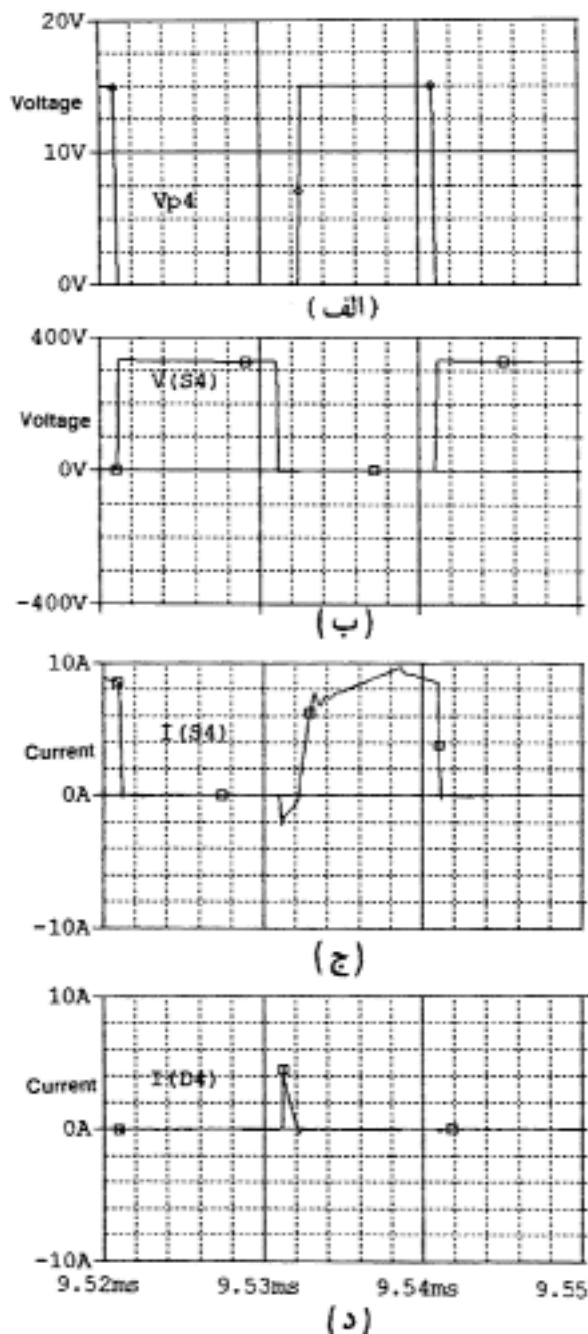
اولیه ترانس (روش B) است. این کار باعث کاهش ضریب وظیفه ولتاژ ثانویه می‌شود (به این ضریب وظیفه کاسته شده، ضریب وظیفه گم شده¹ نیز اطلاق می‌شود) با توجه به شکل (1) افزایش سلف نشستی شیب افزایش جریان اولیه را کاسته و دیودهای ثانویه دیرتر از حالت اتصال کوتاه خارج می‌شوند، بنابراین برای دستیابی به توان مشخص، بایستی پیک جریان سویچها در اولیه افزایش یابد که این خود یکی از مشکلات این روش است و باعث می‌شود تلفات هدایتی روش B بیش از روش A شود. از طرفی چون در روش B ضریب وظیفه ثانویه بسیار کمتر از اولیه می‌شود، بایستی برای دستیابی به توان معین نسبت دور ترانس را افزود و در نتیجه دیودهای با تحمل ولتاژ بالاتر در ثانویه استفاده کرد. به علاوه سلف نشستی (یا سلف خطی) افزوده شده به علت رزنانس با خازن خروجی دیودهای ثانویه باعث ایجاد نوساناتی روی ثانویه می‌شود که این اثر با افزایش ولتاژ ثانویه شدیدتر می‌شود. در روش C به جای استفاده از سلف رزنانس خطی، از سلف قابل اشباع در اولیه استفاده می‌شود [5]. انرژی ذخیره شده در سلف خطی به مربع جریان سلف وابسته است، در نتیجه اگر مبدل برای حصول ZVS در 20٪ بار نامی طراحی شود، در بار کامل، 25 برابر انرژی مورد نیاز دشارژ خازنهای خروجی مستقیماً از آنها می‌گذرد [1]. اما با استفاده از سلف قابل اشباع، انرژی در جریانهای بیش از I_c (جریان حدی اشباع هسته) ثابت می‌ماند. بنابراین اگر مبدل طوری طراحی شود که سلف قابل اشباع در 20٪ بار نامی اشباع شود و انرژی اشباع سلف برابر مقدار مورد نیاز دشارژ خازن مسفتها باشد، مبدل در 20٪ بار نامی تحت ZVS عمل می‌کند و چون انرژی سلف اشباع در جریانهای بیش از جریان حدی هم ثابت می‌ماند، انرژی فوق در بار نامی هم همین مقدار است. و در نتیجه مبدل با سلف قابل اشباع در محدوده وسیعتری از بار بدون افزایش انرژی گردش‌کننده (تلفات هدایتی) قابل استفاده است. شکل (2) شمای مبدل و شکل موجهای مربوط به مبدل با سلف قابل اشباع اولیه را نشان می‌دهد.

از مزایای دیگر روش C کاهش تلفات هدایتی سویچهاست



شکل ۷- مبدل ZVS با سلف مغناطیس کنندگی الف- ولتاژ اولیه
ب- ولتاژ ثانویه: ج- جریان اولیه و جریان سلف مغناطیس کنندگی
د- جریان سلف مغناطیس کنندگی (شکل بزرگ شده)

در روش D می‌توان با استفاده از انرژی سلف مغناطیس کنندگی ترانس، محدوده ZVS را از بار مستقل کرد. شکل (۳) شمای کلی و شکل موجهای این روش را نشان می‌دهد. این روش در ثانویه ترانس از دو سویچ استفاده می‌شود. ضریب وظیفه سویچهای اولیه ثابت است و با تغییر زمان



شکل ۶- شکل موجهای شاخه پس فاز مبدل ZVS با سلف نشی
الف- پالس درایو گیت سورس، ب- ولتاژ درین سورس
ج- جریان کلید پسفاز، د- جریان دیود موازی معکوس کلید

به علت افزایش ضریب وظیفه ثانویه، ترانس با نسبت دور کمتری نیاز است که در نتیجه پیک جریان سویچهای اولیه و پیک دیودهای ثانویه کمتر می‌شود و چون در لحظه خاموشی سویچهای پیشفاز، سلف اشباع است، نوسانات جانبی دیودهای ثانویه کمتر هم می‌شود.

پیک جریان خروجی و حدوداً برابر جریان حدی مورد نیاز ZVS (I_{ZVS}) است.

$$\tau_{1(D)} = \frac{4C_{mos}V_{in}}{NI_m} \quad (3)$$

در روشهای A, B, و C خازنهای خروجی سویچهای پسفاز در یک حالت رزنانشی دشارژ می‌شود و زمان سکون $\frac{1}{4}$ پریود رزنانش است.

$$\tau_{2(A,B,C)} = \frac{\pi}{2} \sqrt{\frac{8}{3} C_{mos} \cdot L_r} \quad (4)$$

که τ_2 زمان سکون مورد نیاز کلیدهای پسفاز و L_{lk} سلف نشتی در روشهای A و B و L_r سلف رزنانش در روش B و سلف اشباع شونده در روش C است و با توجه به اینکه

$$\frac{1}{2}(L_{lk} + L_r)(NI_{ZVS})^2 \geq \frac{1}{2} \left(\frac{8}{3} C_{mos} \right) v_{in}^2$$

بنابراین:

$$\tau_{2(A,B,C)} = \frac{4\pi C_{mos} V_{in}}{3 NI_{ZVS}} \quad (5)$$

همچنین در روش D زمان سکون سویچ پسفاز از معادله زیر به دست می‌آید.

$$\tau_{2(D)} = \frac{4\pi C_{mos} V_{in}}{3 NI_m} \quad (6)$$

همان‌طور که مشاهده می‌شود، زمانهای سکون روش A و B به طور معکوس به I_{ZVS} بستگی دارد و اگر ZVS در محدوده زیادی از بار مورد نیاز باشد، زمانهای سکون زیاد شده و در نتیجه ضریب وظیفه گم شده افزایش می‌یابد. این مطلب در نتایج شبیه‌سازی شده شکل‌های (۴) و (۵) به خوبی نشان داده شده است. در روش C هر چند رابطه فرقی نمی‌کند ولی جریان ZVS بستگی به جریان بار ندارد زیرا انرژی ذخیره شده در سلف اشباع شونده ثابت است. در روش D زمان سکون از جریان I_{ZVS} مستقل است که می‌تواند مقدار زیادی باشد [۷].

همان‌طور که نتایج حاصله در جدول (۱) نشان می‌دهد با افزایش زمان انتقال توان هریال و در نتیجه افزایش جریان خروجی، زمان سکون مورد نیاز برای ZVS سویچها کاهش می‌یابد.

روشنی سویچهای ثانویه، ولت - ثانیه اعمالی به سلف خروجی تغییر کرده و رگولاسیون ولتاژ خروجی در ثانویه صورت می‌گیرد. در ثانویه از یک دیود هرزگرد برای ایجاد مسیر گردش جریان سلف خروجی استفاده می‌شود. فرض می‌شود انرژی ذخیره شده در سلف نشتی برای حصول ZVS سویچهای پسفاز کافی نیست، اما جمع انرژی سلف نشتی و مغناطیس کنندگی، ZVS سویچهای پسفاز را ممکن می‌کند. تفاوت عمده این روش با روشهای قبلی در بازه زمانی T3-T4 و نحوه حصول ZVS سویچهای پسفاز است. در این روش در پریود هرزگرد، ثانویه توسط کلیدهای ثانویه، مدار باز شده و سلف مغناطیس کنندگی برای رزنانش با خازن خروجی کلیدها، آزاد می‌شود و ZVS تا حد بی باری هم قابل افزایش است [۶].

۳- مقایسه روشهای اصلی حصول ZVS در مبدلهای

تمام پل

در این قسمت چهار روش ZVS ذکر شده در قسمتهای بالا از لحاظ زمانهای سکون مورد نیاز سویچهای پیشفاز و پسفاز برای حصول ZVS، محدوده بار تحت ZVS، انرژی گردش پریودهای هرزگرد و نوسانات روی دیودهای یکسوکننده ثانویه با هم مقایسه می‌شوند.

۳-۱- زمانهای سکون مورد نیاز حصول ZVS سویچهای

پیشفاز و پسفاز

در طرف اولیه بایستی زمانهای سکونی بین خاموشی یک سویچ و روشن شدن سویچ دیگر در هر شاخه (پیشفاز و پسفاز) وجود داشته باشد. این دو زمان سکون، ماکزیمم ضریب وظیفه مؤثر مبدل را می‌کاهد. با استفاده از معادلات زیر می‌توان زمانهای سکون سویچهای پیشفاز را با هم مقایسه کرد.

$$\tau_1(A,B,C) = \frac{4C_{mos}V_{in}}{I_p + I_m} = \frac{4C_{mos}V_{in}}{NI_{ZVS}} \quad (2)$$

که τ_1 زمان سکون مورد نیاز کلیدهای پیشفاز، N نسبت دور ترانس، I_m جریان سلف مغناطیس کنندگی و I_p کمترین مقدار

جدول ۱- اثر جریان خروجی در محدوده ZVS روش A

نوع بار	بار سبک	بار سنگین
پریود سویچینگ	20 μ s	20 μ s
پهنای پالس هر سویچ	8.28 μ s	9.4 μ s
زمان انتقال توان هریال	5.88 μ s	7.4 μ s
زمان سکون مورد نیاز یال پیشفاز	1.72 μ s	0.6 μ s

شناخته می‌شود و این عمل شرایط سویچینگ نرم را ایجاد می‌کند اما تلفات هدایتی مدار را هم می‌افزاید.

در روش B و A انرژی سلف رزنانس بیش از مقدار مورد نیاز ZVS است و اگر E_{min} کمترین مقدار انرژی مورد نیاز ZVS

باشد انرژی گردشی این روش (با توجه به اینکه $E = \frac{1}{2}LI^2$ است) برابر است با

$$E_{circ}(A, B) = E_{min} \left(\frac{I_{out}}{I_{ZVS}} \right)^2 \quad (7)$$

در روش C این انرژی برابر است با

$$E_{circ}(C) = E_{min} = \frac{4}{3} C_{mos} V_{in}^2 \quad (8)$$

در روش D انرژی در سلف مغناطیس کنندگی افزایش قابل ملاحظه‌ای دارد و فقط از سیم‌پیچی اولیه می‌گذرد و ربطی به انتقال توان ندارد. انرژی گردشی برابر است با

$$E_{circ}(D) = \frac{1}{2} L_m I_m^2 \gg E_{min} \quad (9)$$

که مقدار نسبتاً بزرگی است.

۳-۴- نوسانات جانبی دیوهای ثانویه

در روشهای A و B به علت استفاده از سلف رزنانس خطی بالازدگی روی دیوهای یکسوکننده زیاد است و در نتیجه برای میرا کردن نوسانات از مدار کلمپ استفاده می‌شود [۱].

در روش C ماکزیمم انرژی نوسانات جانبی به سطح اشباع سلف سری با اولیه بستگی دارد و کمتر از دو روش قبل است. به علت استفاده از کلید ثانویه در روش D انرژی نوسانات جانبی تقریباً صفر است زیرا در پریودهای هرزگرد، کلیدهای ثانویه باز می‌باشد و هیچ انرژی را ذخیره نمی‌کند.

۳-۲- ضریب وظیفه گم شده و محدوده بار تحت ZVS

در روش B به علت وجود سلف رزنانسی بزرگ (برای حصول محدوده وسیع ZVS) در بارهای سنگین، زمان تغییر علامت سطح فلو در سلف بزرگ شده و ضریب وظیفه گم شده هم زیاد می‌شود بنابراین روش A روش مناسبی در محدوده‌های وسیع ZVS نیست نتایج شبیه‌سازی نشان می‌دهد در زمان سکون ثابت تا حد ۷۰٪ افزایش مقاومت خروجی ZVS، حفظ می‌شود و افزایش بیش از این حد ZVS را مختل می‌کند. اما در روش C زمان تغییر علامت سطح فلو در بارهای سنگین همانند بارهای سبک است زیرا در جریانهای بیش از جریان حدی اندوکتانس سلف قابل اشباع صفر می‌شود بنابراین ضریب وظیفه گم شده کمتر از روش B است و محدوده حصول ZVS تا بارهای سبک قابل افزایش است. در روش D زمان تغییر علامت سطح فلو به علت کم بودن سلف نشتی می‌تواند بسیار کم باشد و این روش تنها روشی است که در بی باری هم می‌تواند ZVS داشته باشد. نتایج شبیه‌سازی تایید کننده این مطلب بوده و در حالت شبیه‌سازی شده مشابه حالت عملی، افزایش مقاومت خروجی تا حد ده هزار برابر حالت نامی (بی باری تقریبی) هم، ZVS را مختل نکرده است. در جدول (۲) نتایج حاصل از شبیه‌سازی دو روش A و D در بارهای مختلف مطرح شده است.

۳-۳- انرژی گردشی در پریودهای هرزگرد

پس از هر ناحیه انتقال توان در سیکل سویچینگ، انرژی ذخیره شده در سلف نشتی و یا رزنانسی به صورت هرزگرد در مبدل ادامه می‌یابد و یا به منبع برمی‌گردد. چون این انرژی ربطی به انتقال توان ندارد به عنوان انرژی گردشی (E_{circ})

جدول ۲- مقایسه روشهای A و D از لحاظ محدوده بار تحت ZVS

روش ZVS	شیفت فاز با سلف نشستی: (A)	شیفت فاز با سلف مغناطیس کننده: (D)
پریود سویچینگ	20 μ s	20 μ s
زمان انتقال توان هریال	5.88 μ s	4.58 μ s
ولتاژ خروجی	300 v	300 v
بار خروجی نامی	30 Ω	30 Ω
ماکزیمم مقاومت بار تحت ZVS	51 Ω	300 k Ω

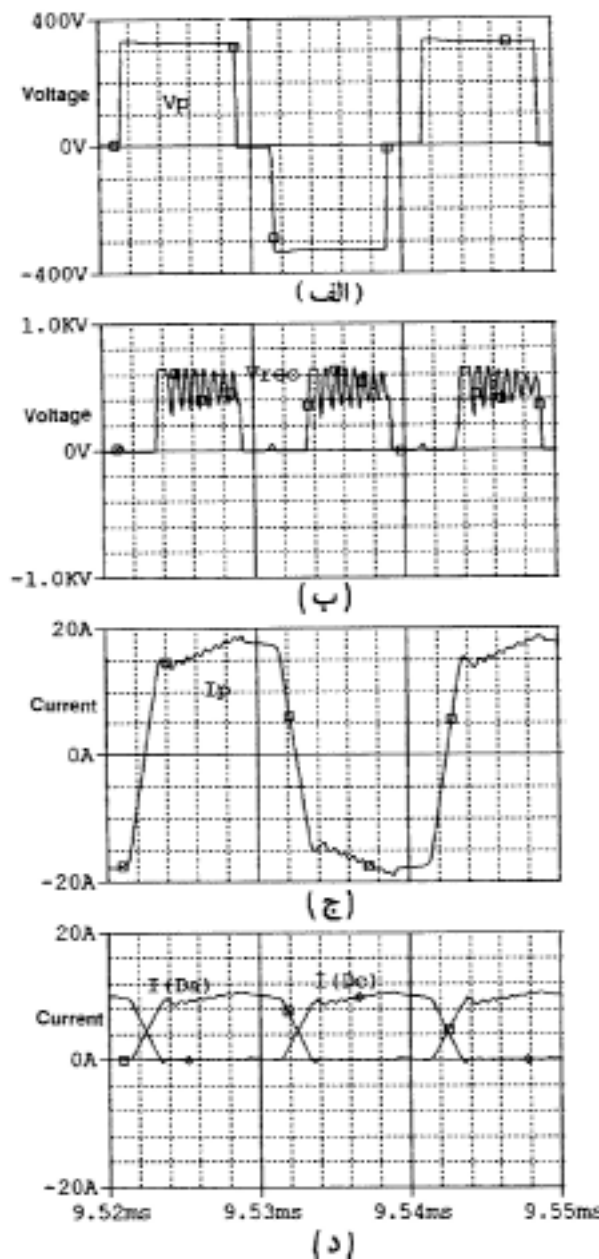
۴- نتایج عملی مبدل پل ZVS-PWM با استفاده از

سلف نشستی اولیه ترانس

در این بخش نتایج عملی ساخت یک نمونه مبدل تمام پل ۳kw با ورودی یکسوشده برق شهر و خروجی ۳۰۰ vdc رگوله شده و فرکانس سویچینگ ۵۰ KHz با کلیدزنی در ولتاژ صفر توسط انرژی سلف نشستی اولیه مطرح می شود. دلیل استفاده از روش A، توان بالای مبدل و عدم نگرانی از مختل شدن ZVS سویچها و سادگی نسبی این روش است. آرایش استفاده شده همانند شکل (۱) است و هر کلید قدرت از سه ترانزیستور مسفت قدرت IRFP460 تشکیل شده که با هم موازی شده اند. علت این امر افزایش محدوده جریان قابل تحمل کلید است. زیرا سلف نشستی ترانس نسبتا بزرگ و حدود ۷ μ H است در نتیجه ضریب وظیفه گم شده مبدل افزایش می یابد و برای حصول توان مورد نظر بایستی پیک جریان اولیه را افزود. در طراحی مدار کنترل از آی سی TL494 برای تولید دو سیگنال اصلی مربعی با فرکانس ۵۰KHz و زمان مرده ۱۰٪ کل پریود استفاده شده است. این دو سیگنال برای درایو کلیدهای پسفاز به کار می رود. دو سیگنال دیگر که درایو کلیدهای پیشفاز را به عهده دارد از مقایسه موج دندانانه اره ای آی سی با یک ولتاژ مرجع بدست می آید این ولتاژ مرجع همان سیگنال خطای خروجی تقویت کننده خطاست که در مدار فیدبک به کار رفته است. فیدبک مدار از ولتاژ خروجی نهایی گرفته می شود. ایزولاسیون سیگنالهای گیتها توسط اپتوکوپلر سریع 6N137 انجام می شود و خروجی 6N137 توسط یک تقویت کننده

سطح ولتاژ تا ۱۵ v افزایش می یابد و سپس به طبقه درایو اعمال می شود. طبقه درایو، یک مدار stotem pole دارلینگتون با ترانزیستورهای سویچینگ npn 2N4124 و 2SC1226 و ترانزیستورهای سویچینگ pnp 2N4126 و 2SA1357 است. به منظور بهبود عملکرد درایو در توان بالا، زمین قسمت ثانویه اپتوکوپلر، آپامپ تقویت کننده و طبقه درایو به ولتاژ ۵v- متصل می شود. با این کار تغییرات سیگنال گیت بین ۵ v- و ۱۵v بوده و اثر سیگنالهای ناخواسته را بر روی گیت می کاهد. برای افزایش سرعت طبقه درایو از خازنهای تسریع استفاده می شود. به علت موازی کردن مسفتها و امکان ایجاد نوساناتی روی گیت، در ورودی هر گیت از مقاومتهای ۴/۷ Ω استفاده شده است. برای کاهش نویز مدار قدرت سیمهای زمین و تغذیه مدار قدرت باید با اتصالات خوب و بسیار ضخیم انتخاب شود. نسبت دور ترانس افزایشده که روی هسته فریت EE به شماره 1-100EE پیچیده شده ۳۰:۴۵ است. در ورودی ترانس از خازن پلی استر بلوک کننده DC برای تعدیل فلوی ورودی به هسته و برابر ۱ μ f استفاده می شود. در پل دیودی خروجی، دیویدهای بسیار سریع FEP16HT استفاده شده است اما چون باز هم در خروجی یکسوکننده دیودی نوسانات فرکانس بالا وجود دارد، از مدار کلمپ شکل (۹) استفاده می شود. ساختار این مدار کلمپ در مرجع [۱] شرح داده شده است.

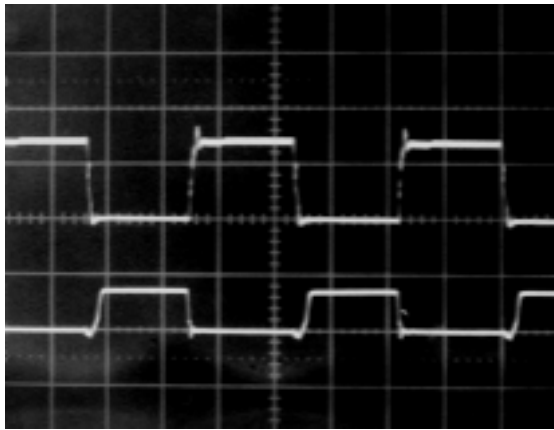
تلفات این مدار بسیار کمتر از اسنابرهای RCD معمولی بوده و بسته به ظرفیت خازن کلمپ، سطح نوسانات ناشی از رزنانس بین سلف نشستی و خازن دیود خاموش یکسوکننده را



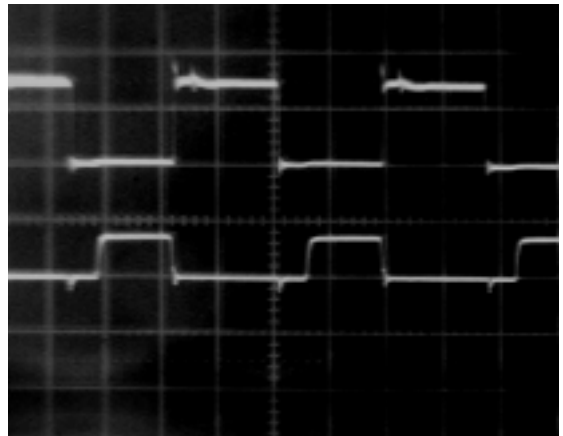
شکل ۸- اثر مدار کلمپ در محدود کردن نوسانات ولتاژ ثانویه، الف- ولتاژ اولیه، ب- ولتاژ ثانویه ج- جریان اولیه، د- جریان دیودهای یکسوکننده

می‌شود. افزایش مقدار مقاومت یا کاهش ظرفیت خازن کلمپ، ولتاژ کلمپ و فرکانس نوسانات را می‌افزاید و انرژی تلفاتی کلمپ کمتر می‌شود اما در عوض استرس ولتاژ یکسوشده را می‌افزاید. برای حفاظت سویچهای اولیه در برابر اضافه جریان ناشی از اتصال کوتاه بار یا روشنی همزمان سویچهای یک

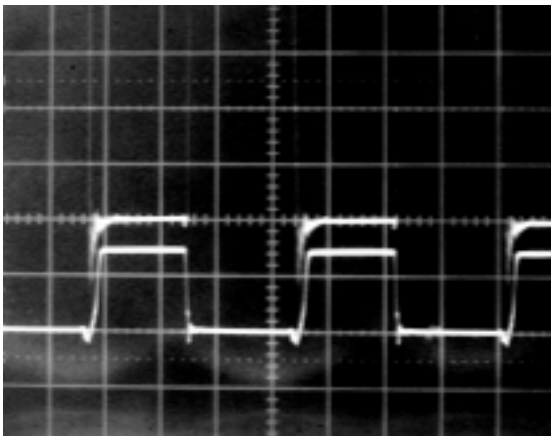
در حدود ۱۲۰٪ ولتاژ نامی ثانویه محدود می‌کند. شکل (۸) نتایج شبیه‌سازی مدار کلمپ را روی محدود کردن نوسانات ثانویه مبدل نشان می‌دهد. محاسبه توان تلف شده در مقاومت کلمپ نشان می‌دهد اگر قرار بود این نوسانات با اسنابر RCD معمولی حذف شود، تلفات مقاومت بسیار بیشتر از مدار کلمپ



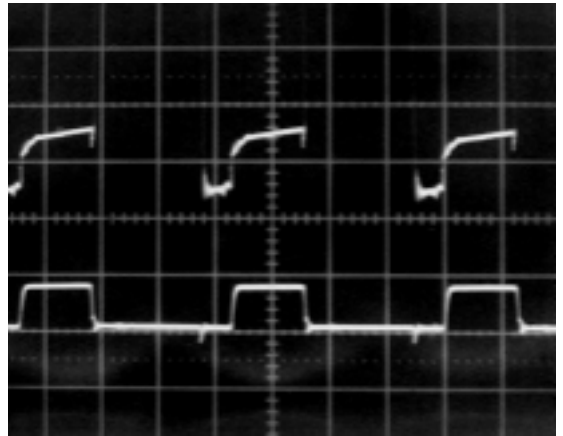
شکل ۱۰- ولتاژ گیت سورس (پائینی) و درین سورس و درین سورس (بالایی) کلیدهای پسفاز



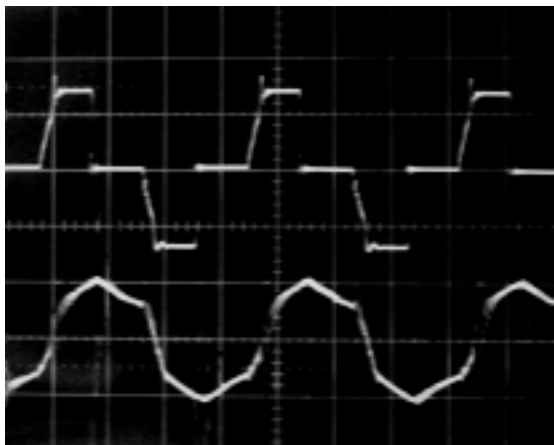
شکل ۹- ولتاژ گیت سورس (پائینی) درین سورس (بالایی) کلیدهای پیشفاز



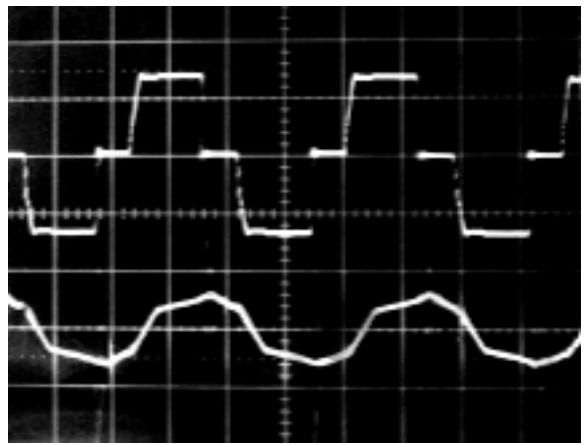
شکل ۱۲- قسمتی از شکل بزرگ شده ولتاژ درین سورس (بالایی) و ولتاژ گیت سورس (پائینی) کلیدهای پسفاز



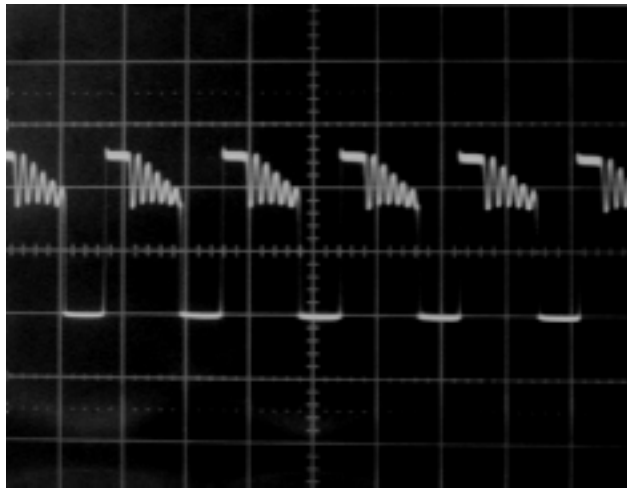
شکل ۱۱- قسمتی از شکل بزرگ شده ولتاژ درین سورس (بالایی) و ولتاژ گیت سورس (پائینی) کلیدهای پیشفاز



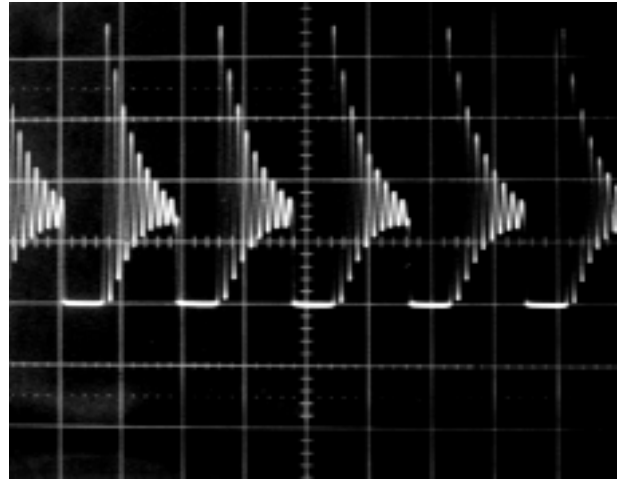
شکل ۱۴- ولتاژ و جریان اولیه ترانس (با ضریب وظیفه کم)



شکل ۱۳- ولتاژ و جریان اولیه ترانس (با ضریب وظیفه زیاد)



(ب)



(الف)

شکل ۱۵- نوسانات یکسوکننده خروجی، (الف) بدون مدار کلمپ (ب) با مدار کلمپ

ثانویه دارد را نشان می‌دهد. شکل (۱۶) ریبیل 50 Hz کاهش یافته و نوسان 50 KHz روی ولتاژ خروجی را نشان می‌دهد. رگولاسیون خط مبدل برابر $0/5$ درصد است که عملکرد خوب مدار فیدبک را نشان می‌دهد. همچنین آزمایشات طولانی مدت زیر بار نشان می‌دهد این مبدل از نظر حرارتی بسیار پایدار بوده و به علت تلفات ناچیز سوئیچها نیازی به فن خنک کننده نیست و تنها گرمابره‌های آن دفع حرارتی را به خوبی انجام می‌دهند. در ادامه طرح برای دست‌یابی به توان بالاتر (10 kW) استفاده از مدوله‌های موازی 3 kW و به کارگیری روش مناسب تقسیم بار انجام شده است که نتایج در مقالات بعدی ارائه می‌شود. در مجموع ساخت این مبدل در سطح توان 3 KW و با استفاده از سوئیچهای معمولی و ارزان قیمت را می‌توان موفقیت بزرگی در راستای پروژه‌های تحقیقاتی و تامین نیازهای صنایع مختلف به خصوص صنایع نظامی کشور به حساب آورد. استفاده از این منابع به دلیل مزایای آنها در سیستمهایی مانند فرستنده و گیرنده رادار، فوکوس کویل، لامپهای RF، شتاب دهنده‌ها و باتری شارژرها ضروری است که در کشور تاکنون در این توان با تکنولوژی پیشرفته انجام نشده است.

شاخه پل، مدار حفاظت اضافه جریان با نمونه‌برداری جریان اولیه و ارسال فرمان قطع اسیلاتور TL494 در مدار کنترل تعبیه شده است. طراحی دقیق اجزای این مبدل در مرجع [۸] به طور مفصل شرح داده شده است.

شکل (۱۰) ولتاژ گیت سورس و درین سورس یکی از کلیدهای پیشفاز و شکل (۱۱) ولتاژ گیت سورس و درین سورس یکی از کلیدهای پسفاز را نشان می‌دهد. همان‌طور که در شکل (۱۲) واضح است ولتاژ درین سورس کلیدهای پیشفاز قبل از آمدن سیگنال گیت حدوداً $0/7-$ است و باعث روشنی در ولتاژ صفر (تقریبی) کلید است. کلیدهای پسفاز هم در ZVS روشن می‌شوند اما دیودهای ضد موازی‌شان در بارهای سبک فرصت بسیار کمی برای روشنی دارند که امکان دارد ZVS این کلیدها را مختل کند شکل (۱۳) این مطلب را به وضوح نشان می‌دهد. شکل (۱۴) ولتاژ و جریان اولیه ترانس را نشان می‌دهد که به نحو خوبی با شکل (۱) همخوانی دارد. شکل (۱۵) عملکرد مدار در ضریب وظیفه کم (یا جریانهای بار کم) را نشان می‌دهد، همان‌طور که مشاهده می‌شود ZVS از دست رفته است. در شکل (۱۶) نحوه عملکرد مدار کلمپ ثانویه که نقش مؤثری در کاهش نوسانات جانبی روی دیودهای

و ... با هم مقایسه شده‌اند. در قسمت عملی طرح، روش ZVS با استفاده از سلف نشتی اولیه ترانس به علت توان بالای مبدل و عدم نگرانی از مختل شدن ZVS سویچهای پسفاز و سادگی نسبی آن نسبت به سایر روشها انتخاب شده و در توان ۳KW و فرکانس ۵۰KHz طراحی و ساخته شده و در قسمت ثانویه برای محدود کردن سطح نوسانات یکسوکننده خروجی در توانهای بالا از مدار کلمپ با تلفاتی بسیار کمتر از اسنابرهای RCD مرسوم استفاده شده است. نتایج عملی طرح در شکل‌های مقاله نشان داده شده و با نتایج تئوری تطابق دارد.

قدردانی

اجرای این طرح پژوهشی در پژوهشکده برق و کامپیوتر دانشگاه صنعتی اصفهان صورت گرفته است.

1. zero voltage switching
2. dead time
3. lagging switches

۵- نتیجه گیری

در این مقاله چهار روش اصلی کلیدزنی در ولتاژ صفر در مبدلهای PWM تمام پل بررسی، مقایسه و در پایان نتایج یک نمونه از مبدل ZVS که در توان ۳ KW طراحی و ساخته شده، مطرح شده است. روشهای سویچینگ نرم در مبدلهای PWM باعث کاهش تلفات کلیدزنی و تداخل الکترومغناطیسی می‌شود و امکان افزایش فرکانس و کاهش حجم و وزن مبدل را فراهم می‌کند. در چهار روش مطرح شده، از سلفهای نشتی - خطی سری با اولیه - قابل اشباع در اولیه و مغناطیس‌کنندگی ترانس برای تأمین انرژی مورد نیاز روشنی دیویدهای ضد موازی سویچهای پل اولیه استفاده شده است. کنترل پل اولیه به روش شیفت فاز یافته صورت می‌گیرد. این روشها معرفی، بررسی و از لحاظ پارامترهای مهمی همچون زمان سکون مورد نیاز ZVS

واژه نامه

4. leading switches
5. duty cycle
6. duty cycle loss

مراجع

1. Sabate, J.A., Volatkovic, V., and Lee, F.C., "Design Consideration for High-Voltage High-Power Full-Bridge Zero-Voltage-Switched PWM Converter," *Conf. Rec. IEEE APEC'90*, pp-275-283, 1990.
2. Song-Yi Lin, and Chern-Lin Chen, "Analysis and Design for RCD Clamped Snubber Used in Output Rectifier of Phase-Shift Full-Bridge ZVS Converters," *Industrial Electronics, IEEE Transactions on*, vol.45 Issue, 2, Apr. 1998.
3. Nederson do Prado, R, "The Behavior of the Rectifying Diode Reverse Recovery of ZVS Converters in the Presence of a Saturable Inductor," Industry Applications Society Annual Meeting, 1994., Conference Record of the 1994 IEEE 6-2, Oct. 1994.
4. Do Prado, R. N, "Effects of the Saturable Resonant Inductor on the Rectifying Diode Reverse Recovery of ZVS Converters," *Power Electronics Congress, 1994., Technical Proceedings. CIEP'94., 3rd International* 25-21, Aug. 1994.
5. Hua, G., Lee, F.C., and Jovanovic, M.M., "An Improved Zero-Voltage-Switched PWM Converter Using ASaturable Inductor," *Conf. Rec. IEEE PESC'91*, pp. 189-194, 1991.
6. Watson, R., and Lee, F.C., "Analysis, Design, and Experimented Results of a 1-kW ZVS-FB-PWM Converter Employing Magamp Secondary-Side Control," *IEEE Trans. on Ind. Elect.*, vol. 45, No. 5, pp. 806-813, Oct. 1998.
7. Chen, W., Lee, F.C., and Sabate, J.A., "A Comparative Study of a Class of Full-Bridge ZVS PWM Converters," *Conf. Rec. IEEE APEEC'95*, pp. 893-899, 1995.
8. توسل، م.، بررسی روشهای سویچینگ نرم در مبدلهای تمام پل PWM و ساخت یک نمونه در توان 3kw، پایان‌نامه کارشناسی ارشد، دانشگاه صنعتی اصفهان، ۱۳۷۸.