بررسی و شبیه‌سازی روش‌های ZVS در مبدل‌های تمام پل و ساخت یک نمونه در توان 3kw

حسین فرزان‌فرد، سیدرضا مطهری** و مهدی‌مهدی توسل***
پژوهشکده برق و کامپیوتر، دانشگاه صنعتی اصفهان

(دریافت مقاله: 25-7/8/99 - دریافت نسخه نهایی: 25)\n
چکیده - یکی از مشکلات مبدل‌های سوپرچینگ PWM تلفات بالای کلیدنی و تداخل الکترومغناطیسی به عنوان سوپرچینگ در ولتاژ و جریان
مبدل برق است که فرکانس عمده‌ریز را محدود می‌کند. به منظور کاهش حجم و وزن مبدل (با افزایش فرکانس) و کاهش تلفات کلیدنی روشهای
کلیدنی در ولتاژ و یا جریان صفر بیشتر می‌شود. در این مقاله، با افزایش فرکانس و کاهش تلفات کلیدنی روشهای ZVS در مبدل‌های پل معرفی و مقایسه
کلیدنی در ولتاژ صفر (ZVS) کلیدنی در ولتاژ صفر که مورد نیاز پردازش‌های سوپرچینگ به منظور کاهش تلفات و کاهش پردازش‌های
پردازشی و پردازش‌های جانبی روی دیودهای تانوپرست هم مقایسه شده‌اند. در پایان نتایج عملی یک نمونه مبدل پل ZVS در توان 3kw
با کلیدنی ZVS و از این جهت کلیدنی در ولتاژ صفر (ZVS) کلیدنی در ولتاژ صفر (ZVS) کلیدنی در ولتاژ صفر (ZVS) کلیدنی در ولتاژ صفر (ZVS)

Analysis and Simulation of ZVS Methods in Full Bridge Converters and
Realization of a 3 KW Prototype

H. Farzanehfard, S. R. Motahari and, M. M. Tavasoulkhamseh
Department of Electrical and Computer Engineering Research Center, Isfahan University of Technology

Abstract: One of the difficulties with PWM switching converters is high switching loss and electromagnetic interference due
to switching at non-zero voltage and current, which limits the operating frequency. In order to reduce the converter volume and
weight (by increasing the frequency) and reducing switching losses, zero voltage and current switching methods are
recommended. In this paper, four main zero voltage switching (ZVS) methods in full bridge converters are introduced and
compared. These four methods are compared on dead times required to obtain the ZVS, load range at ZVS condition, circulating
energy in the switch anti parallel diodes during freewheeling periods and voltage oscillations on rectifying diodes. Finally, the results of a
3 Kw prototype full bridge ZVS converter with a clamp circuit for rectifier diodes oscillations are presented and analyzed.

Keywords: High power converter, PWM switching converter, Zero voltage switching (ZVS), ZVS methods

* - استاد
** - مربی
*** - دانشجوی کارشناسی ارشد

استقلال، سال 1333 شماره 2، اسفند

25
فهرست علائم

<p>| | |</p>
<table>
<thead>
<tr>
<th></th>
<th></th>
</tr>
</thead>
<tbody>
<tr>
<td>$I_p$</td>
<td>کمترین مقدار پیک جریان خروجی</td>
</tr>
<tr>
<td>$L_{th}$</td>
<td>سلف نشی در اولیه</td>
</tr>
<tr>
<td>$I_m$</td>
<td>سلف مغناطیسی کننده</td>
</tr>
<tr>
<td>$N$</td>
<td>نسبت در ترانس</td>
</tr>
<tr>
<td>$ZVS$</td>
<td>سوپرژینگ در ولتاژ صفر</td>
</tr>
<tr>
<td>$I_m$</td>
<td>جریان سلف مغناطیسی کننده</td>
</tr>
</tbody>
</table>

$C_{mos}$: خازن خروجی مسفت
$C_{TR}$: خازن سیمپلیکس ترانس
$E_{circ}$: انرژی گردشی
$E_{min}$: کمترین مقدار انرژی مورد نیاز
$ZVS$: جریان اولیه در لحظه خاموشی کلید پسفاژ
$ZV$: جریان سلف مغناطیسی کننده

۱- مقدمه

اولین تولیدرهای سوپرژینگ پیشنهاد شده است در این مدل (ZVS-FB-PWM) PWM با کنترل به‌طور مسئله مقدار قرار می‌گیرد. این سیستم به‌طور کلی می‌تواند کنترل می‌شود. این این باعث شوید. در حالی که می‌تواند در محیطی‌ها در نواحی اصلی موجودی‌ها را دارا وسیله‌های برخی از سوپرژینگ نشان می‌دهد. این سوپرژینگ در این سیستم به شدت کاهش می‌یابد به‌طور کلی مشخصه‌های نیاز به استفاده در پردازش این سیستم می‌تواند در محیط‌هایی با همبستگی بسیار بالا درون فرکانس‌های طراحی شده برای اجتناب این اتفاق داد. اما این سیستم به‌طور کلی می‌تواند در محیط‌هایی با همبستگی بسیار بالا درون فرکانس‌های طراحی شده برای اجتناب این اتفاق داد. اما این سیستم به‌طور کلی می‌تواند در محیط‌هایی با همبستگی بسیار بالا درون فرکانس‌های طراحی شده برای اجتناب این اتفاق داد. اما این سیستم به‌طور کلی می‌تواند در محیط‌هایی با همبستگی بسیار بالا درون فرکانس‌های طراحی شده برای اجتناب این اتفاق داد. اما این سیستم به‌طور کلی می‌تواند در محیط‌هایی با همبستگی بسیار بالا درون فرکانس‌های طراحی شده برای اجتناب این اتفاق داد. اما این سیستم به‌طور کلی می‌تواند در محیط‌هایی با همبستگی بسیار بالا

۲- معرفی روشهای اصلی کلیدزدن در ولتاژ صفر

PWM مدل تمام پل

شکل (۱) شعاع کلی مدل تمام پل:

۴- نتایج شبیه‌سازی ولتاژ و جریان اولیه ترانس و شکل (۴) نتایج شبیه‌سازی ولتاژ و جریان اولیه و ولتاژ

شکل‌های (۱، ۲ و ۳) شعاع کلی این روش را نشان می‌دهد.
شکل 1- الف- مدل پیل ZVS با سلف نشیترانس

شکل 2- الف- مدل ZVS با سلف قابل اشباع

شکل (ب)
شکل 3- مبدل پل با سلف مغناطیسی کنتنگی و شکل موجهای آن (روش D)
شکل ۵- شکل موجهای شاخه پیش فاز مبدل ZVS با سلف نشی اف- ولتاژ اولیه

ب- ولتاژ ثانویه ج- جریان اولیه د- جریان یکسکوئنه

وجود دارد که ضریب وظیفه (d) مبدل و به عبارتی به‌نیای سیگنال‌های انجام شده روز اولین هرین‌ند را تعیین می‌کند. نحوه حصول شرایط ZVS به شرح زیر است.

شرایط اولیه کار مدار: کلیدهای Q۱ و Q۲ خاموش و

شکل ۶- شکل موجهای مبدل ZVS با سلف نشی اف- ولتاژ اولیه

ثانویه یکسکوئنه (همراه با نوسانات شدید) را تشخیص دهید.

سیگنال‌های گیت این مبدل مهم‌اند مبدل تمام یا کلیدنی

سخت است، با این تفاوت که به جای روش‌های هم‌زمان کلیدهای

پیال مخالف، بین کلیدهای بال راست و بال چپ شفیت فازی

استقلال، سال ۱۳۸۳، شماره ۲، اسفند
کلیدهای Q3 و Q4 روش‌های هستند.

با خاموشی کلیدهای Q4 (کلید پیش‌فرض) جریان اولیه خازن خروجی Q4 را شارژ و خازن خروجی Q1 را داشته‌م کند و پس از آن دوید DI روش‌های می‌شود. با روشنی DI می‌توانید در ولتاژ صفر روش شوند. در این حالت جریان‌های جریان خروجی مشتق شده با اولیه است. با پایین‌کردن کلیدهای پیش‌فرض برای حالت می‌شود. شکل (3) ولتاژ شیب‌سازی شده گیفت‌سپارس و درین سروس یکی از کلیدهای پیش‌فرض و نیز جریان کل کلید مسفت و دوید ضد موازی آن را نشان می‌دهد.

همان‌طور که مشاهده می‌شود جریان‌ها گذارا از دوید ضد موازی (س'aff) ولتاژ درین سلس زمان کافی برای صفر شدن بالاتر از سیستم و ولتاژ‌گیفت سپارس دارد. با خاموشی کلیدهای Q3 (کلید پیش‌فرض) جریان باقی مانده در ولتاژ خازن خروجی Q3 را شارژ و خازن خروجی Q2 را شارژ می‌کند و پس از آن دوید Q2 روش‌های می‌توانید ولتاژ صفر روش شوند. برای حصول شرایط ZVS، روش‌هایی انتظار داریم که در سلف نشی بیش از ZVS روش‌هایی در هنگامی خروجی از طرف دیگر می‌شود.

این صورت ZVS کلیدهای پیش‌فرض در بارهای سیک مختل می‌شود.

جدول انرژی سلف نشی اولیه ترانس برای است (1)

\[
\frac{1}{2} C_{tr} L_{k} I_{k}^{2} > C_{mos} V_{in}^{2} + \frac{1}{2} C_{tr} V_{in}^{2}
\]

که سلف نشی اولیه \(C_{mos}\) خازن خروجی مسافت، \(C_{tr}\) سلف نشی اولیه خازن خروجی، \(L_{k}\) طولیت پیش‌فرض ترانس و \(I_{k}\) جریان اولیه در نظر گرفته خاموشی کلید پیش‌فرض است (1). شکل (3) ولتاژ شیب‌سازی شده گیفت‌سپارس و درین سروس یکی از کلیدهای پیش‌فرض و جریان‌های مسفت و دوید ضد موازی در هنگامی که در مقیاس که یکی (5) جریان‌ها گذارا از دوید ضد موازی کمتر و زمان صفر شدن ولتاژ درین سروس پیش از اعمال ولتاژ گیفت سپارس هم کمتر است و واضح است که خروجی این کلیدهایها از حالت ZVS بیشتر از کلیدهای پیش‌فرض بیشتر است.

کلیدهای پیش‌فرض محتمل است. برای افزایش سلف نشی و یا استفاده از یک سلف کوچک سیرا

در مواردی دیگر خاصه C کاهش نفوذ‌های می‌شود.

استحاله: سال 1383 شماره 3، اسفند 1383

\[
30
\]
شکل 6- شکل موج‌های شاخه پس فاز مدل ZVS
الف- پالس دروی گیت سورس. ب- ولتاژ دریی سورس
ج- جریان کلید پسفاز. د- جریان دیود موازی مکوس کلید

به علت افزایش ضریب وظیفه نانوبه، ترانسا نسبت دور
کمتری نیاز است که در نتیجه پیک جریان سوییچهای اولیه و
پیک دیویدهای نانوبه کمتری می‌شود و جون در لحظه خاموشی
سویچهای پسفاز، سلف اشباع است. نوسانات جانی دیویدهای
نانوبه کمتر هم می‌شود.
روش سویجی‌های نانوبه، ولت‌ژنتایی اعمالی به سلف خروجی تغییر کرده و رولاسیون ولتاژ خروجی در نانوهای صورت می‌گیرد. در نانوهایی از یک پدیده هیدرژن برای ایجاد مانورهای سلول خروجی استفاده می‌گردد. فرض می‌شود انرژی ذخیره شده در سلف نشان‌برای حصول سویجی‌های پسفاز کافی نیست، اما جمع انرژی سلف نشته و مغناطیس سیستمی کندگی، سویجی‌های پسفاز را ممکن می‌کند. تفاوت عده‌ای این روش با روش‌های قبلی دریابه‌ی زمانی T3-T4 و نحوه حصول ZVS سویجی‌های پسفاز است. در این روش در پریود هزگرد، سویجی‌های نانوبه، ولت‌ژنتایی توسط کلبیده‌ای نانوبه، مدار باز شده و سلف مغناطیسی کندگی برای رزانتس‌های خروجی كلیده‌ها، آزاد می‌شود و تا حدی باید هم قبل افزایش است. (٦)


3- مقایسه روش‌های اصلی حصول ZVS در مدل‌های

تعمیم بیل

در این قسمت مدل روش ZVS ذکر شده در قسمت‌های بالا از لحاظ زمان‌های سکون مورد نزای سویجی‌های پسفاز و سویجی‌های سویجی‌های پسفاز توسط محدوده باز تحت ZVS حصول سلف ارزی گردشی پریودهای هزگرد و نوسانات روی دویده‌های پیکسکندن، نانوبه با هم مقایسه می‌شود.

3-1- زمان‌های سکون مورد نزای حصول سویجی‌های پسفاز و سویجی‌های زمان‌های سکون مورد نزای حصول سویجی‌های پسفاز و سویجی‌های سویجی‌های پسفاز در طرف اولیه بایستی زمان‌های سکونی بین خاموشی یک سویجی و روش سویجی دیگر در هر شاخه (پسفاز و پسفاز) وجود داشته باشد. این در زمان سکون، ماکمیم ضرب وظیفه مؤثر می‌باشد. با استفاده از معادلات زیر می‌توان زمان‌های سکون سویجی‌های پسفاز را با هم مقایسه کرد

\[ t_1(A, B, C) = \frac{4C_{mos} V_{in}}{I_p + I_m} = \frac{4C_{mos} V_{in}}{N_{ZVS}} \]

که \( t_1 \) زمان سکون مورد نزای کلبیده‌ای پسفاز، \( N_{ZVS} \) نسبت دور جریان سلف مغناطیسی کندگی و \( I_p \) کمترین مقدار ترانسانس، \( I_m \) می‌باشد.

پنجم جریان خروجی و حدوداً پیمانه چیزی می‌نامین (I_{ZVS}) ZVS

\[ \tau_{ZVS} = \frac{4C_{mos} V_{in}}{N_{ZVS}} \]

در روش‌های خروجی سویجی‌های پسفاز در پنجم حالته رزانتس دشانسی شده و سلف زمان سکون \( \tau \) پریود رزانتس است.

\[ \tau_{2(A,B,C)} = \frac{\pi}{3} \sqrt{\frac{8}{3} C_{mos} L_r} \]

که \( L_r \) زمان سکون مورد نزای کلبیده‌ای پسفاز و سلف نشته \( B \) و \( A \) سلف رزانتس در روشا \( L_r \). سلف سلف این روش انرژی کننده داشته و با توجه به انگشت \( C \) می‌باشد.

\[ \tau_{2(D)} = \frac{4C_{mos} V_{in}}{3N_{ZVS}} \]

همان‌طور که مشاهده می‌شود، زمان‌های سکون در محدوده یک سینکی دارد و اگر محدوده ZVS از پریود سکون تغییر خواهد کرد می‌باشد. این مرحله ضریب وظیفه کم شده افزایش می‌یابد. این مغلوب در نتایج شیمی‌سازی شده شکل‌کشی (٥) به‌طور کامل داده شده است. در روشا \( C \) هر چند رابطه فرخ نمی‌کند ولی جریان

\[ I_{ZVS} = \frac{4C_{mos} V_{in}}{I_p + I_m} = \frac{4C_{mos} V_{in}}{N_{ZVS}} \]

از جریان‌های مستقل است که هم‌بستگی مقدار زیادی باشد. (٧)\[ \tau_{1(A,B,C)} = \frac{4C_{mos} V_{in}}{I_p + I_m} = \frac{4C_{mos} V_{in}}{N_{ZVS}} \]

که \( t_1 \) زمان سکون مورد نزای کلبیده‌ای پسفاز، \( N_{ZVS} \) نسبت دور جریان سلف مغناطیسی کندگی و \( I_p \) کمترین مقدار ترانسانس، \( I_m \) می‌باشد.

1383 استقلال، سال 32 شماره 2 اسفند 1383

23
جدول 1 - اثر جریان خروجی در محدوده روش ZVS

<table>
<thead>
<tr>
<th>نوع بار</th>
<th>بار سک</th>
<th>بار سکین</th>
</tr>
</thead>
<tbody>
<tr>
<td>بروز سپریچنگ</td>
<td>20 μs</td>
<td>20 μs</td>
</tr>
<tr>
<td>پهنای پاس هر سویچ</td>
<td>8.28 μs</td>
<td>9.4 μs</td>
</tr>
<tr>
<td>زمان انتقال توان هر الکتریک</td>
<td>5.88 μs</td>
<td>7.4 μs</td>
</tr>
<tr>
<td>زمان سکون مورد نیاز بال پیشگام</td>
<td>1.72 μs</td>
<td>0.6 μs</td>
</tr>
</tbody>
</table>

ZVS - ضرب و وظیقه گم شده و محدوده بار تحت در روشه B پیدا نمی‌شود و این عمل شرایط سپریچنگ نرم را اججاد می‌کند. اما تلفات هدایتی مدار را هم می‌افزاید.

انرژی سلولیت رزانتس بیش از مقدار مورد ZVS نیاز است اگر مقدار انرژی مورد نیاز $E_{\text{min}}$ باشد انرژی گرشته این روشه (با توجه به اینکه $E_{\text{min}}$ است) برابر است با

$$E_{\text{circ}}(A, B) = E_{\text{min}} \left( \frac{I_{\text{out}}}{I_{\text{ZVS}}} \right)^2$$

(7)

در روشه C این انرژی برابر است با

$$E_{\text{circ}}(C) = E_{\text{min}} \left( \frac{4}{3} C_{\text{mos}} V_{\text{in}}^2 \right)$$

(8)

که مقدار نسبتاً برگر است.

### 3-3 در نوسانات جانبی دیوردهای ثانوی

بر اساس استفاده از سلولیت رزانتس خطی بالارگذی روا دیوردهای پیکوکنده زمان است و در نتیجه برای میزان تکو نتایج مشابهی در پیشنهاد می‌شود.

$$E_{\text{circ}}(D) = \frac{1}{2} L_{\text{m}} I_{\text{m}}^2$$

(9)

که مقدار نسبتاً برگر است.

### 3-3-3 اثر باردهی در پرده‌های هاردرد

پس از این تناوت نوسانات جدید سپریچنگ اثری

ذخیره شده در سلولیت نشته و با رزانتسی به صورت هاردرد در

میزان است. در خود این انرژی $E_{\text{circ}}$ به انتقال نواده بارهای

بریم به حساب انتقال نواده بارهای $E_{\text{circ}}$ در بارهای مختلف مطسه شده است.

استقلال، سال 1382، شماره 2، اسفند
جدول ۲ - مقایسه روش‌های A و D از لحاظ محدوده بار تحت ZVS

<table>
<thead>
<tr>
<th>بار زمان (μs)</th>
<th>شیفت فاز A سلف مغناطیسی کننده</th>
<th>شیفت فاز B سلف نشیب (D)</th>
</tr>
</thead>
<tbody>
<tr>
<td>20</td>
<td>20 μs</td>
<td></td>
</tr>
<tr>
<td>4.58 μs</td>
<td>5.88 μs</td>
<td></td>
</tr>
<tr>
<td>300 v</td>
<td>300 v</td>
<td></td>
</tr>
<tr>
<td>30 Ω</td>
<td>30 Ω</td>
<td></td>
</tr>
<tr>
<td>300 kΩ</td>
<td>51Ω</td>
<td></td>
</tr>
</tbody>
</table>

**ZVS-PWM**

در این بخش نتایج عملی ساخت یک نمونه مبدل تمام پل با روش پس از کمک به شکست گنج و خروجی 300kW vdc بر روی یک دایرکتور، با کلیدزنی در واحد صفر تاریکت انرژی سلف نشیب بالای مطلوب می‌شود. دلیل این است که زمان A، نوآوری مدل و عدم نگرانی از محفظ نشدن سلف نشیب و سادگی نسبت این روش است. این روش از این است که همانند شکل (1) است و هر کلید قدرت از طریق ZVS تحت استفاده می‌شود.

 arrests_des (1) است و هر کلید قدرت از طریق ZVS تحت استفاده می‌شود.

سپس وضعیت ۱۵ افزایش می‌یابد و سپس به طبیعی درایو اعمال توانهای انرژیک در درایو، یک مدار رطوبه‌ی ZVS پراکنش‌سازی‌های سوپرین ۱۲۵، ۱۸۳ و ۲۴۴. نمونه از توانهای انرژیک در درایو به طبیعی درون بالای ۵0kW شده و فرکانس سوپرینگ ۵۰ کیلوهERTZ توسط انرژی سلف نشیب بالای مطلوب می‌شود. دلیل این است که زمان A، نوآوری مدل و عدم نگرانی از محفظ نشدن سلف نشیب و سادگی نسبت این روش است. همانند شکل (1) است و هر کلید قدرت از طریق ZVS تحت استفاده می‌شود.

**ZVS-PWM**

در این بخش نتایج عملی ساخت یک نمونه مبدل تمام پل با روش پس از کمک به شکست گنج و خروجی 300kW vdc بر روی یک دایرکتور، با کلیدزنی در واحد صفر تاریکت انرژی سلف نشیب بالای مطلوب می‌شود. دلیل این است که زمان A، نوآوری مدل و عدم نگرانی از محفظ نشدن سلف نشیب و سادگی نسبت این روش است. این روش از این است که همانند شکل (1) است و هر کلید قدرت از طریق ZVS تحت استفاده می‌شود.

رست فاز A سلف نشیب بالای مطلوب می‌شود. دلیل این است که زمان A، نوآوری مدل و عدم نگرانی از محفظ نشدن سلف نشیب و سادگی نسبت این روش است. این روش از این است که همانند شکل (1) است و هر کلید قدرت از طریق ZVS تحت استفاده می‌شود.

رست فاز A سلف نشیب بالای مطلوب می‌شود. دلیل این است که زمان A، نوآوری مدل و عدم نگرانی از محفظ نشدن سلف نشیب و سادگی نسبت این روش است. این روش از این است که همانند شکل (1) است و هر کلید قدرت از طریق ZVS تحت استفاده می‌شود.
شکل 8- اثر مدار کلمب در محدود کردن تواترات ولتاژ ثانویه، اف- ولتاژ اولیه. ب- ولتاژ ثانویه

ج- جریان اولیه، د- جریان دیویدهای یک‌کنده

در حدود 1/20 ولتاژ نامی ثانویه محدود می‌کند. شکل (8) نتایج نشان می‌دهد که مدار کلمب با روزنامه ولتاژ ثانویه می‌تواند نشانگر نوسانات با استفاده RCD کلمب نشان می‌دهد اگر قرار بود این نوسانات با استفاده

معمولی حدف شود، نتایج مقاومت بسیار بیشتر از مدار کلمب
شکل 9- ولتاژ گیت سورس (پالایی) درین سورس (پالایی) کلیدهای پیشفاز

شکل 10- ولتاژ گیت سورس (پالایی) درین سورس و درین سورس (پالایی) کلیدهای پیشفاز

شکل 12- قسمتی از شکل بزرگ شده ولتاژ درین سورس (پالایی) و ولتاژ گیت سورس (پالایی) کلیدهای پیشفاز

شکل 11- قسمتی از شکل بزرگ شده ولتاژ درین سورس (پالایی) و ولتاژ گیت سورس (پالایی) کلیدهای پیشفاز

شکل 13- ولتاژ و جریان اولیه ترانس (با ضریب وظیفه کم)

شکل 14- ولتاژ و جریان اولیه ترانس (با ضریب وظیفه زیاد)
شکل 15- نوسانات یک مکانده خروجی، (اف) بدون مداد کلمب (ب) با مداد کلمب

شانه پیل، مداد هفطه اضافه جریان با نمونه برداری جریان اولیه و ارسال فرمان قطع اسیترون 944 در مدار کنتل نسبت
شده است. طراحی دقیق اجزای این مبدل در مرحله [8] به طور مفصل شرح داده شده است.

شکل (10) ولتاژ گیت سورس و دریچه سورس یکی از
کلیدهای پیشرفته و شکل (11) ولتاژ گیت سورس و دری
سورس یکی از کلیدهای پیشرفته را نشان می‌دهد. همان‌طور که
در شکل (12) واضح است ولتاژ دریچه گیت سریالهای پیشرفت
قفل از امتداد سیگنال گیت حدوداً 7V است و باعث روش ZVS
در ولتاژ صفر (توافقی) کلید است. کلیدهای پیشرفته در
ZVS در ولتاژ صفر (توافقی) کلید است. کلیدهای پیشرفته در
روش من‌کنده آمودریهای ضد مایلی شدن در پاره‌ای سیک
ZVS فرصت بسیار کمی برای روشی دارد که امکان دارد
این کلیدهای را مختل کند (شکل (13) این مطلب را به وضوح
نشان می‌دهد. شکل (14) ولتاژ و گرید یک اولیه سریالهای
ارزان می‌دهد که به نحو خوبی با شکل (1) همخوانی دارد.
شکل (15) عملکرد مدار در دریچه و گریدهای کم (یا جریان‌های بار
کم) را پیشانی می‌دهد. همان‌طور که مشاهده می‌شود
در دست رفت است. در شکل (16) نحوه عملکرد مدار کلمب
ثانویه که مشکل مؤثری در کاهش نوسانات جانی روی دیوهای

نتایج به دار را نشان می‌دهد.

شکل (12) ولتاژ گیت سورس و دریچه سورس یکی از
کلیدهای پیشرفته و شکل (11) ولتاژ گیت سورس و دری
سورس یکی از کلیدهای پیشرفته را نشان می‌دهد. همان‌طور که
در شکل (12) واضح است ولتاژ دریچه گیت سریالهای پیشرفت
قفل از امتداد سیگنال گیت حدوداً 7V است و باعث روش ZVS
در ولتاژ صفر (توافقی) کلید است. کلیدهای پیشرفته در
ZVS در ولتاژ صفر (توافقی) کلید است. کلیدهای پیشرفته در
روش من‌کنده آمودریهای ضد مایلی شدن در پاره‌ای سیک
ZVS فرصت بسیار کمی برای روشی دارد که امکان دارد
این کلیدهای را مختل کند (شکل (13) این مطلب را به وضوح
نشان می‌دهد. شکل (14) ولتاژ و گرید یک اولیه سریالهای
ارزان می‌دهد که به نحو خوبی با شکل (1) همخوانی دارد.
شکل (15) عملکرد مدار در دریچه و گریدهای کم (یا جریان‌های بار
کم) را پیشانی می‌دهد. همان‌طور که مشاهده می‌شود
در دست رفت است. در شکل (16) نحوه عملکرد مدار کلمب
ثانویه که مشکل مؤثری در کاهش نوسانات جانی روی دیوهای
و ... با هم مقایسه شده‌اند. در قسمت عملی طرح، روشنی از استفاده از سلف نشی اولیه ترانس به علت توان بالای مبدل سویچینگ و سادگی ZVS و عدم نگرانی از مختلف شدن ZVS سوچنگ پس‌دار و سادگی نسبی یعنی سه‌پله‌ای توان راه اندازی شده و در توان 3kW و فرکانس 50 کی‌هرتز و ساخته شده و در قسمت نامه بی‌روی محدود کردن سطح نوسانات بی‌سکوانت گرختی در توان‌های RCD با استفاده از واحد کلی، با تلفنی بسیار کمتر از سطح‌های مرسم استفاده شده این نتیجه عملی طرح در شکل‌های مقاله نشان داده شده و با نتایج نیروی تطبیق دارد.

قدردانی

اجرا‌ای این طرح پژوهشی در پژوهشکده برق و کامپیوتر دانشگاه صنعتی اصفهان صورت گرفته است.

1. zero voltage switching
2. dead time
3. lagging switches

4. leading switches
5. duty cycle
6. duty cycle loss

مراجع

8. توس، م. بررسی روش‌های سویچینگ در توان پلی و ساخت وک نیم‌شناسی در نیمن 3kW. پایان‌نامه کارشناسی ارشد. دانشگاه صنعتی اصفهان، 1378.